

# EPCのeGaN<sup>®</sup>デバイスの信頼性試験： フェーズ12



Alejandro Pozo Ph.D., Shengke Zhang Ph.D., Gordon Stecklein Ph.D., Ricardo Garcia, John Glaser Ph.D., Zhikai Tang Ph.D., and Robert Strittmatter Ph.D., Efficient Power Conversion

多様なアプリケーションの多くで、Efficient Power Conversion (EPC) のeGaN<sup>®</sup>デバイスが急速に採用されるには、信頼性統計の継続的な蓄積と、GaNデバイスの故障の基本的な物理の調査が必要です。このフェーズ12の信頼性レポートは、これまでの11本のレポート [1-11] で公開された拡大する知識ベースに追加され、いくつかの重要な新しいトピックをカバーしています。

窒化ガリウム (GaN) のパワー・デバイスは、2010年3月から量産され [12]、フィールドでの素晴らしい信頼性記録を樹立しています。このレポートは、業界向けに、より強力な製品を産み出すために、さまざまな条件下でデバイスを強制的に故障させるテストに依存したこの実績を達成するために使われた戦略を説明します。

## 追加の標準認定テストが必要

標準認定テストに加えて、故障するまでテストするのは、なぜですか？

半導体の標準的な認定テストでは、通常、データシートに指定されている制限またはその近くで、長期間、または特定のサイクル数の間、デバイスにストレスをかける必要があります。認定テストの目標は、テストされた比較的多数の部品グループにおける故障をゼロにすることです。

この種のテストは、特定のテスト条件に合格した部品のみを報告するため、不十分です。部品を故障するまでテストすることによって、データシートの制限の間のマージン量の理解を深めることができ、さらに重要なことは、固有の故障メカニズムを見つけて理解することができることです。固有の故障メカニズム、故障の根本的な原因、および時間、温度、電氣的または機械的なストレスに対するデバイスの動作を知ることによって、製品の安全な動作寿命を、より一般的な動作条件の組み合わせで決定できます (半導体デバイスをテストするためのこの方法の優れた説明については、参考文献 [13] を参照してください)。

## GaNパワー・デバイスの主なストレス条件と固有の故障メカニズム

GaNパワー・デバイスが直面する主なストレス条件は、何ですか？ 各ストレス条件に対する固有の故障メカニズムは、何ですか？

すべてのパワー・トランジスタと同様に、主なストレス条件には、電圧、電流、温度、湿度、および、さまざまな機械的ストレスが含まれます。ただし、これらのストレス条件を適用する方法は、たくさんあります。例えば、GaN FETの電圧ストレスは、ゲート端子からソース端子 ( $V_{GS}$ ) に、または、ドレイン端子からソース端子 ( $V_{DS}$ ) に加えることができます。例えば、これらのストレスは、直流バイアスとして継続的に印加することも、オンとオフを繰り返すことも、あるいは、高速パルスとして加えることもできます。電流ストレスは、連続直流電流またはパルス電流として加えることができます。熱ストレスは、デバイスを所定の極端な温度で一定期間、動作させることによって、または、さまざまな方法で温度を循環させることで、継続的に加えることができます。

かなりの数の故障が発生するまで、これらの各条件でデバイスにストレスをかけることによって、テスト対象のデバイスの主な固有の故障メカニズムの理解を深められます。妥当な時間内に故障を発生させるためには、通常、ストレス条件が製品のデータシートの制限を大幅に超えなければなりません。過剰なストレス状態が、通常の動作では決して発生しない故障メカニズムを引き起こさないように注意する必要があります。これが当てはまらないことを確認するためには、故障した部品を注意深く分析して、故障の根本原因を特定しなければなりません。

根本原因を検証することによってのみ、広範なストレス条件下でのデバイスの動作を真に理解することができます。eGaNデバイスの固有の故障モードについての理解が深まるにつれて、2つの事実が明らかになったことを指摘しておきます。すなわち、(1) eGaNデバイスは、SiベースのMOSFETよりも丈夫であり、(2) 極端な、または長期の電氣的ストレス条件下で、eGaNデバイスの寿命を予測する場合、MOSFET固有の故障モデルは有効ではない、ということです。

ストレス	デバイス/ パッケージ	テスト方法	固有の故障メカニズム	EPCのテスト結果
電圧	デバイス	HTGB	絶縁破壊 (経時絶縁破壊) しきい値シフト	このレポート
		HTRB	しきい値シフト $R_{DS(on)}$ シフト	このレポート
		ESD	絶縁破壊	[2,3,6,7,8,9,10]
電流	デバイス	直流電流 (EM)	エレクトロマイグレーション 熱マイグレーション	進行中 進行中
			SOA 短絡	熱暴走 熱暴走
電圧の立ち上がり/ 降下 電流の立ち上がり/ 降下 温度	デバイス	ハード・スイッチング 信頼性	$R_{DS(on)}$ シフト	このレポート
	デバイス	パルス電流 (Lidar 信頼性)	問題なし	このレポート
湿度	パッケージ	HTS	問題なし	[6,7,8,9]
		MSL1	問題なし	[3,4,5,6,7,8,9,10]
		H3TRB	問題なし	[1,2,3,4,5,6,7,8,9,10]
		AC	問題なし	[4,5,6,7,8,9]
		はんだ付け性 uHAST	はんだ腐食 デンドライトの形成/腐食	このレポート [10]
機械的/熱機械的	パッケージ	TC	はんだ疲労	このレポート
		IOL	はんだ疲労	このレポート
		曲げ力試験	層間はく離	このレポート
		曲げ力試験	はんだ強度	このレポート
		曲げ力試験	圧電効果	このレポート
		チップせん断	はんだ強度	このレポート
		パッケージ圧力	フィルム亀裂	このレポート

表1: eGaN FETのストレス条件と固有の故障メカニズム

## このレポートの焦点と構成

このフェーズ12のレポートでは、表1の右側の列で強調表示されている領域に焦点を当てています。この最初のトピックでは、eGaNデバイスのゲート電極に影響を与える固有の故障メカニズムについて説明します。このストレス状態は、以前の信頼性レポートで調べましたが、このフェーズ12のレポートでは、裏付けとなる証拠に基づく物理ベースの寿命モデルを示します。これは、デバイスの寿命を予測するために以前に使われたより単純な時間依存の絶縁破壊モデルの改良版です。

2番目のセクションでは、動的オン抵抗 $R_{DS(on)}$ の基礎となる固有のメカニズムについて説明します。動的 $R_{DS(on)}$ のトピックは、設計技術者、信頼性の専門家、学者から大きな注目を集めています。このセクションでは、主なメカニズムを分離し、これらのメカニズムを理解することによって、より丈夫なデバイスを作る方法を示します。ゲート・ストレスのセクションと同様に、動的 $R_{DS(on)}$ を理解する作業は、 $R_{DS(on)}$ の変化に関連するeGaNトランジスタのすべての既知の動作を説明する物理ベースのモデルの開発を通じて強化されます。したがって、このモデルは、より複雑なミッション・プロファイルの寿命を予測するために、最も役立ちます。

セクション3は、eGaNデバイスの安全動作領域 (SOA) に焦点を当てています。この主題は、シリコン・ベースのパワーMOSFETで広く調査されており、高ドレイン・バイアス条件下での有用性を制限する2次降伏のメカニズムが観察されています[14]。いくつかのeGaN製品は、データシートのSOA全体で徹底的にテストされた後、安全マージンの調査で故障しました。すべての場合において、このデータは、データシートのSOA内で動作するとき、eGaN FETが故障しないことを示しています。

セクション4では、eGaNデバイスが短絡条件下で破壊されるまでテストします。この目的は、壊滅的な故障が発生する前に、どのくらいの時間、どの程度のエネルギー密度に耐えられるかを判断することです。この情報は、設計に短絡保護を含める必要のある産業用電源やモーター駆動の技術者にとって不可欠です。このデータは、故障が熱的に制限されており、推奨されるゲート駆動での時間の耐性が10  $\mu$ sを超えることを示しています。

eGaNデバイスは、自動運転車、トラック、ロボット、ドローンで使われるLidar (光による検出と距離の測定) 機器に広く採用されています。eGaNデバイスの高速スイッチング速度、小型、大電流パルスの能力によって、Lidarシステムは、より長い距離でより高い解像度で「見る」ことができます。Lidarシステムは、シリコンで得られたもの上回って、動的な電圧と電流 ( $dv/dt$ と $di/dt$ ) の限界を押し上げます。セクション5では、長期間にわたるLidarパルスのストレス条件でeGaNの信頼性を評価するための専用のテスト・システムについて説明します。現在までに、デバイスは、13兆パルス (通常の自動車の寿命の約3倍) を超えており、故障やパラメータの大きなドリフトは発生していません。

セクション6は、eGaNのウエハー・レベルのチップスケール (WLSC) ・パッケージの機械的力のテストが主題です。チップせん断 (面内力) に対する故障までのテストの結果は、MIL-STD883Eの推奨を超える耐久性を示しています。背面圧力 (面外力) テストでは、パッケージが、故障することなく400 psiの能力があることを示しています。

このフェーズ12のレポートには、はんだ接合の耐久性を調べ、デバイスの電氣的パラメータを変える可能性のある圧電効果を探るために、曲げ力テストに関するまったく新しいセクションが追加されました。すべてのデバイスは、Q200-005Aテスト規格に基づいて4 mmのたわみ (250 N) に合格し、最初の故障は6 mmのたわみで発生しました。電氣的パラメータの変化は、測定されませんでした。このセクションの終わりに、デバイスを物理的に破壊するために必要な曲げ力が、圧電的に生成された電界の変化によって電氣的特性が変わるために必要な力よりもはるかに小さいことが示されています。

セクション7は、新しく追加された内容で、デバイスのはんだ付け性 (ぬれ性) について説明します。はんだ付け性のJ-STD-002Eのテスト方法S1に基づいてテストし、eGaNデバイスのはんだ付け性が劣化していないことを示しています。

セクション8も新たに追加された内容で、温度サイクルと、自己発熱に基づくサイクルの両方によって発生する熱機械的応力の問題を検証します。寿命を実験的に予測するために、アンダーフィル製品の広範な調査を実施しました。このセクションの最後にある有限要素解析では、実験結果を説明し、主要な材料特性に基づいてアンダーフィルを選択するためのガイドラインを作成します。

セクション9は、eGaNデバイスのフィールド経験を更新し、記録されている他のどの半導体部品よりも信頼性が高いことを明確に実証します。

## セクション1:ゲートの電圧/温度ストレス

図1は、Efficient Power Conversion (EPC) のeGaN® FETであるEPC2212 [15] のゲート故障のワイブル・プロットの例です。横軸は、故障するまでの時間です。縦軸は、ゲートに加えられたさまざまなストレス条件の累積故障確率です。

左図のプロットは、室温における異なる電圧を示し、右図のプロットは120°Cで印加された2つの異なる電圧を示しています。このデバイスのデータシートにおけるゲートの最大電圧定格は6Vですが、8Vで何時間か経過した後でも、故障するデバイスはほとんどないことに注意してください。

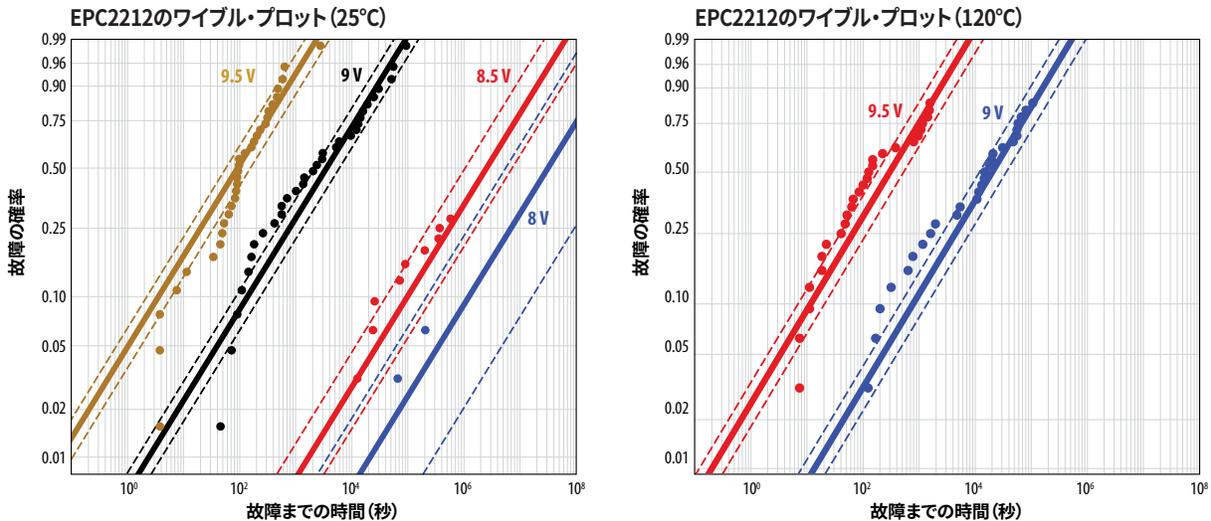


図1: EPC2212のゲート-ソース間の故障のワイブル・プロット。ゲート-ソース間電圧8V<sub>GS</sub>でも、故障は、ほとんど発生しないことに注意してください。ここで、デバイスの最大V<sub>GS</sub>定格は6Vです。左図のデータは25°C、右図のデータは120°Cです。

図2では、これらのデータは故障率に変換されています。左側は、25°Cと120°Cの両方でのV<sub>GS</sub>に対するこれらの同じデバイスの平均故障間隔 (MTTF) です。右側は、25°CでのV<sub>GS</sub>に対するさまざまな故障の確率を示すグラフです。故障率は、温度にはあまり敏感ではありませんが、V<sub>GS</sub>には非常に敏感であることに注意してください。

右のグラフを見ると、V<sub>GS</sub>が直流6Vで、これは、この部品の絶対最大許容電圧であり、10年間で10~100 ppmの故障が予想されます。ただし、推奨されるゲート駆動電圧は5.25Vであり、その電圧での予想故障率は10年間で1 ppm以下です。

これらの結論は、主な故障メカニズムがこれらすべての条件下で同じである場合にのみ有効です。これを確認するために、この調査の複数の部品で故障解析を実施し、一貫した故障モードを見つけました。図3の画像を参照すると、黄色の円は、故障箇所がゲート金属と金属1層との間にあることを示しています。これらの2つの層は、窒化ケイ素誘電体層によって分離されています。故障したのはこの窒化ケイ素層であり、その下のGaN層ではありません。

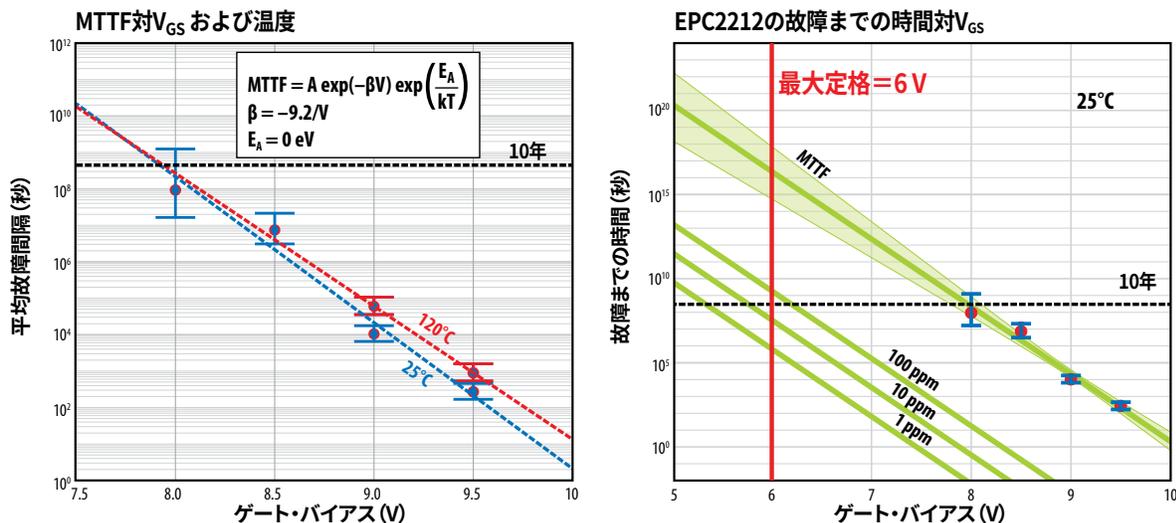


図2: 左図は、25°Cと120°Cの両方でのV<sub>GS</sub>に対するEPC2212 (eGaN FET) の平均故障間隔 (MTTF) です。右図は、25°CでのV<sub>GS</sub>に対するさまざまな故障の確率を示すグラフです。

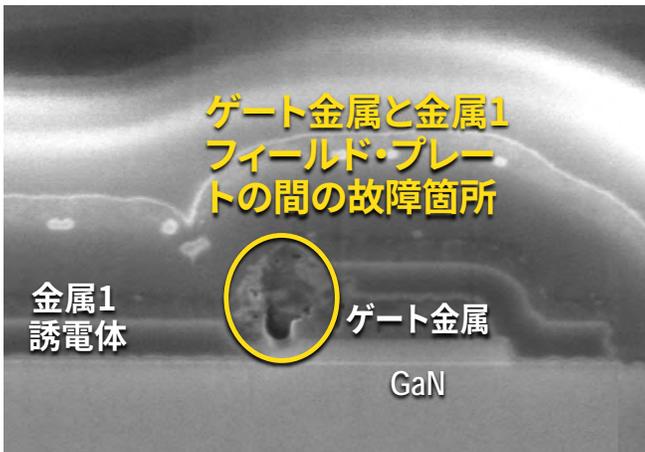


図3: EPC2212 (eGaN FET) のゲート領域の走査型電子顕微鏡 (SEM) 画像。黄色の円は、故障箇所がゲート金属と金属1層の間にあることを示しています。

この寿命の調査は、eGaN FETのゲートの信頼性の確かな現象論的モデルを提供しましたが、多くの基本的な質問には、未回答のままです。

- 高品質の窒化ケイ素膜において、ブレークダウン強度をはるかに下回る電界で、誘電体破壊が発生するのはなぜですか？そして、なぜ、この破壊がゲートの角で起こるのですか？
- ゲート電圧によるMTTFの指数関数的スケーリングは、eGaN FETに本当に適用できますか？おそらく、GaNの故障の根本的な物理に基づいた別の数学モデルがあると思いますが？
- 温度が上昇するとゲートの寿命が延びるのは、なぜですか？

これらの質問を解決するために、EPCは、より大きなサンプル・サイズとより長い時間（場合によっては1000時間以上）を採用して、最新の多くのEPC2212デバイスで、より広範なゲートの加速調査を実施しました。加えて、高いゲート・バイアスでの故障の力学を明らかにするためのいくつかの中核となる実験を実施しました。これらの調査によって、故障の物理の理解が深まり、この物理から直接導き出されたeGaN技術に固有の最初からの寿命方程式が初めて得られました。

EPCは、eGaN FETの高バイアスでのゲート故障が2段階のプロセスによって引き起こされるという説得力のある証拠を集めました。最初のステップでは、p-GaNゲート層内の衝突電離によって、電子-正孔 (e-h) 対が生成されます。これらの正孔のいくつかは、ゲートの角の近くのSi<sub>3</sub>N<sub>4</sub>層に散乱してトラップされます。時間の経過と共に、このトラップされた正孔の電荷密度が蓄積するにつれて、誘電体の電界は、あるの臨界電荷密度で、激しく破壊するまで大きくなります。

この力学の結果は、式1に示す5パラメータのゲートの寿命方程式です：

$$MTTF(V_{GS}, \Delta T) = \frac{A}{(1 - c\Delta T)} \exp \left[ \left( \frac{B}{V_{GS} + V_0} \right)^m \right] \quad \text{式1}$$

ここで、 $V_{GS}$ はゲート電圧、 $\Delta T$ は温度（25°Cが基準）です。式1の残りのパラメータを以下の表に示します：

$m = 1.9$
$V_0 = 1.0 \text{ V}$
$B = 57.0 \text{ V}$
$A = 1.7 \times 10^{-6} \text{ s}$
$c = 6.5 \times 10^{-3} \text{ K}^{-1}$

冗長性を排除するために、故障の物理の完全な説明と寿命方程式の導出については、付録Aを参照してください。

図4は、最近の加速調査から測定されたEPC2212 (eGaN FET) のMTTF (平均故障間隔) に対してプロットされた寿命モデルです。単純な指数モデルとは対照的に、新しい方程式は、低いゲート・バイアスで上向きに曲がり、デバイスがデータシートの範囲内 (6 V以下) で動作するときの平均寿命が長くなります。加えて、新しいモデルは、 $V_{GS}$ が上昇するにつれて電圧加速が減少することが観察される測定へのより良い適合を提供します。図5は、-75°C、25°C、125°Cでの寿命方程式の温度依存性です。図2に示す測定で観察されるように、高温ではMTTFがわずかに高くなることに注意してください。

付録Aに示すように、この衝突電離モデルは、一般的な使用条件に対する指数モデルよりも長い平均寿命の推定値が得られます。

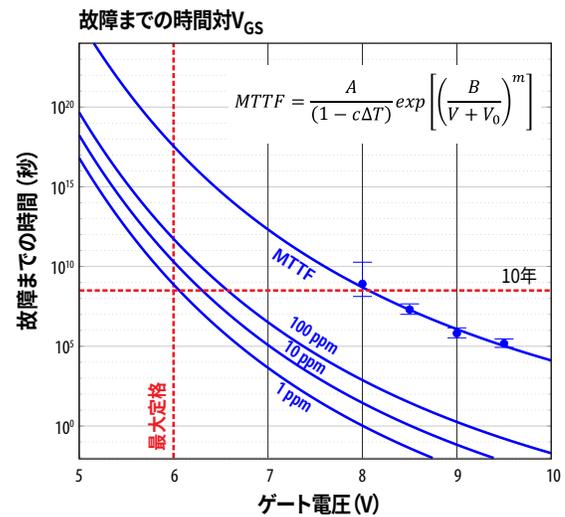


図4: 25°CでのEPC2212のMTTF対 $V_{GS}$ 。MTTF (およびエラー・バー) は、4つの異なる電圧レグについて示されています。実線は、衝突電離寿命モデルに対応しています。100 ppm、10 ppm、1 ppmの故障までの時間の外挿も示されています。

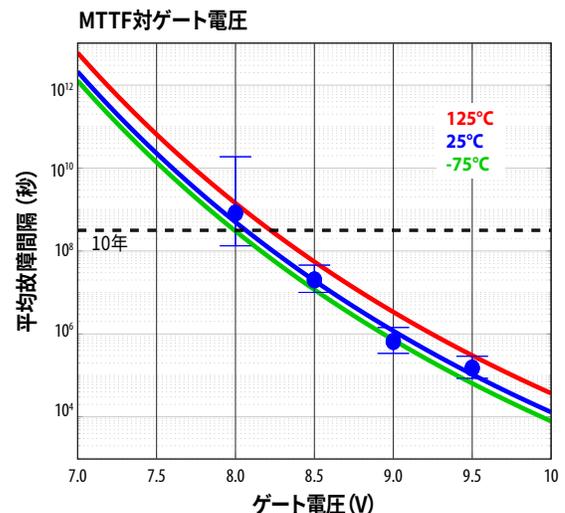


図5: 4つの異なるゲート・バイアスのときのEPC2212 (25°C) の測定したMTTF。青色の線は寿命モデルです。赤色と緑色の線は、それぞれ125°Cと-75°Cでの寿命モデルの予測です。

## セクション2 ドレインの電圧/温度ストレス

この同じ方法論は、他のすべてのストレス条件に適応させることができます。例えば、GaNFETのユーザーに共通する懸念の1つは、動的オン抵抗 $R_{DS(on)}$ です。これは、デバイスが高いドレイン-ソース間電圧 $V_{DS}$ に曝されると、トランジスタのオン抵抗が増加する状態です。この状態をテストする従来の方法は、最大定格温度（通常150°C）で最大定格の直流電圧 $V_{DS}$ を印加することです。一定時間（通常は1000時間）経過しても故障がない場合、製品は良好であると見なされます。

オン抵抗 $R_{DS(on)}$ を増加させるメカニズムは、チャネル近くでトラップ状態にある電子のトラップです。トラップされた電荷が蓄積すると、オン状態の2次元電子ガス（2DEG）から電子が枯渇し、 $R_{DS(on)}$ が増加することになります。最高温度で直流の $V_{DS}$ を加えることによって、トラップに利用できる電子は、ドレイン-ソース間の漏れ電流 $I_{DSS}$ から得られます。トラップを加速するために、第4世代の100 V定格のeGaN FETであるEPC2212の図6に示すように、デバイスを、最大定格を超える電圧にすることができます。このデータは、3パラメータのワイブル分布 [16] によって適合されました。

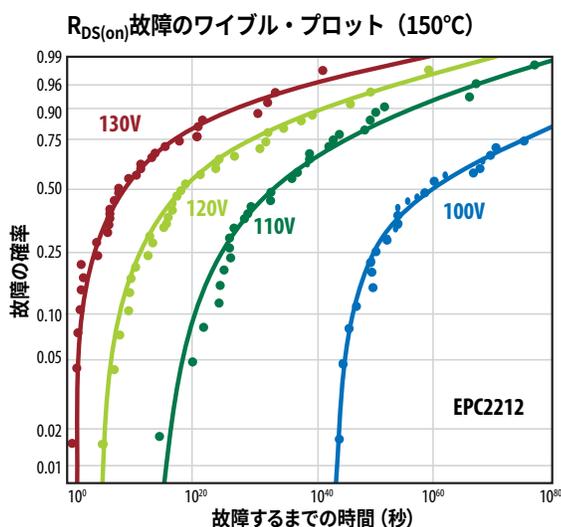


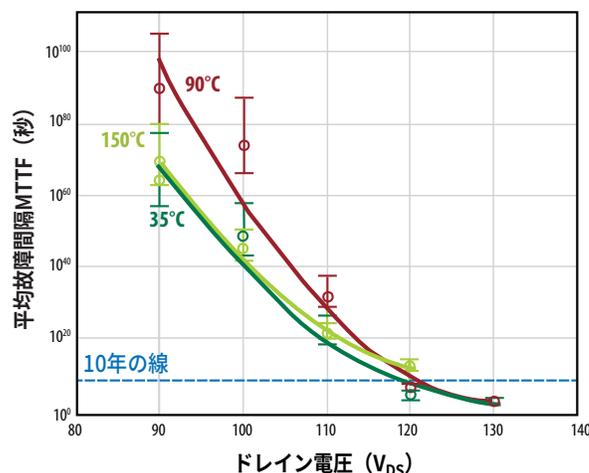
図6: さまざまな電圧で、直流バイアス下でストレスを受けたEPC2212 (eGaN FET) のワイブル・プロット。故障は、データシートの制限を超えることとして定義されています。

図7で、これらのデータは、電圧と温度に対する故障するまでの時間のグラフに変換されています。グラフの右側は、10年間にわたって最大定格電圧 $V_{DS}$ を加えたときの1 ppmの故障の時間です。ただし、左側のグラフは、故障率が温度にあまり敏感ではなく、すべての条件下で非常に低いものの、35°Cまたは150°Cよりも90°Cの方が故障率が高いことを示しています。これは、主な故障メカニズムがホット・エレクトロンのトラップであることを理解することで説明できることを、このレポートの後半で示します。

図8は、eGaN FETのEPC2212の拡大画像で、1~2  $\mu\text{m}$ の光学範囲での熱放射を示しています。この部分のスペクトル放射は、ホット・エレクトロンと一致しており、デバイス内のそれらの位置は、デバイスがドレイン-ソース間バイアス下にあるときの最も高い電界の位置と一致しています。

デバイスのこの領域のホット・エレクトロンがトラップされた電子の源であることを知っているのが、動的オン抵抗を最小化する方法のより深い理解は、改善された設計とプロセスから得ることができます。ホット・エレクトロンの一般的な振る舞いを理解することによって、より広い範囲のストレス条件にわたって、それらの振る舞いを一般化することができます。

## MTTF対 $V_{DS}$ および温度



## 故障するまでの時間対 $V_{DS}$ (150°C)

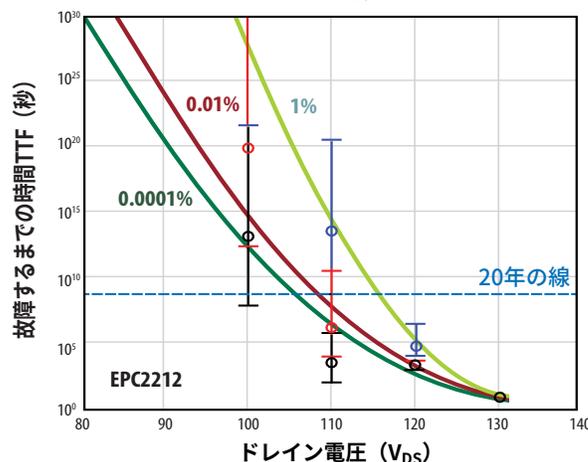


図7: 図4のデータ、および、さまざまな温度で得られた同様のデータは、時間、温度、電圧による故障率の予測に変換されます。

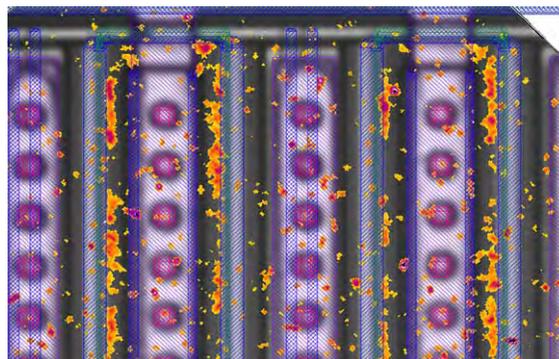


図8: ホット・エレクトロンと一致する1~2  $\mu\text{m}$ の波長範囲 (SWIR: 短波長赤外線) での発光を示すEPC2212 (eGaN FET) の拡大画像。SWIR発光 (赤色-オレンジ色) は、通常の (可視波長) 顕微鏡画像に重ね合わされています。

さらに、より多くのホット・エレクトロンを供給することによって、トラップ・メカニズムを加速することができます。これを実現するために、最大定格電圧  $V_{DS}$  でデバイスを介して大きな  $I_{DSS}$  を供給する図9に示す回路を製作しました。言い換えれば、高温で直流バイアスによって生成された漏れ電流をトラップされる可能性のある電子源として使う代わりに、図7に示すようなスイッチング回路を作ることによって、温度に関係なく桁違いに多くのトラップ候補を生成できます。この回路は、JEDEC JEP173 [17] によって提案されたハード・スイッチング構成の1つです。

図10は、第5世代のeGaN FETであるEPC2045の  $R_{DS(on)}$  が、さまざまな電圧ストレス・レベルと温度で時間の経過と共にどのように増加するかを示しています。左のグラフでは、デバイスは25°C、電圧60 V~120 Vでテストしました (EPC2045の最大  $V_{DS(max)}$  は100 V)。横軸は、分単位で測定した時間を示し、右端は10年で終了します。

右のグラフは、さまざまな温度で120 Vのバイアスを加えたときの  $R_{DS(on)}$  の変化です。直感に反する結果は、低温でオン抵抗がより速く増加することを示しています。これはホット・キャリア注入と一致しています。ホット・エレクトロンは、低温での散乱イベントの間でさらに移動し、したがって特定の電界によって、より大きな運動エネルギーに加速されるからです。この結果、電子はさまざまな層に到達し、トラップされやすくなります。これは、デバイスを最大電圧と最大温度でテストする従来のテスト方法では、デバイスの信頼性を判断するには不十分な場合があることを示しています。

これで、図7の結果をより深く理解できるようになりました。このデバイスは、直流バイアス下で加熱されると、漏れ電流が増加します。ただし、ホット・キャリアの平均自由行程が短くなるため、利用可能な電子の増加に対抗し、 $R_{DS(on)}$  は、室温から90°Cまで、時間の経過と共に上昇しますが、その後、高温で低下し始めます —— これも直感に反するもう1つの結果です。

これらの結果がフェーズ10とフェーズ11のレポートで公開されたことで、eGaNコミュニティに大きな関心が寄せられ、多くの質問や、中には懐疑的な見方もありました。

対処すべき重要な質問は次の通りです：

- log (時間) の増加特性は、より長い時間間隔で検証されていますか？ この増加特性は長期的な寿命予測の中心となるので、これは重要です。
- $R_{DS(on)}$  は、データシートの温度範囲の下限 (例えば-40°C) で、どのように変化しますか？
- 動的  $R_{DS(on)}$  は、誘導性ハード・スイッチングと抵抗性ハード・スイッチングとの間で、どのように比較しますか？
- $R_{DS(on)}$  は、スイッチ電流とスイッチング周波数に、どのように依存しますか？
- log (時間) 増加特性、および観測された温度と電圧の応答を説明するためのデバイス物理ベースの理論はありますか？
- この理論は、さまざまなドレイン電圧と温度の下で、動的  $R_{DS(on)}$  を予測するコンパクトな数学モデルにつながる可能性がありますか？

このセクションの残りの部分では、これらの質問のそれぞれについて順番に説明します。1000時間以上の連続ハード・スイッチング動作にわたる長期の動的  $R_{DS(on)}$  データを示します。誘導性ハード・スイッチングと抵抗性ハード・スイッチングを比較するデータを提供します。低温動作 (-30°C) の効果とさまざまなスイッチ電流の影響を示します。このセクションの最後に、eGaN FETの動的  $R_{DS(on)}$  の第一原理物理ベース・モデルを提供します。このモデルは、上記のすべての現象をうまく説明しています。主な結果は、このセクションの最後に引用されており、物理的な導出に関する詳細な説明は、付録Bを参照してください。

図9: JEDEC JEP173 [16] と整合性のあるハード・スイッチング回路

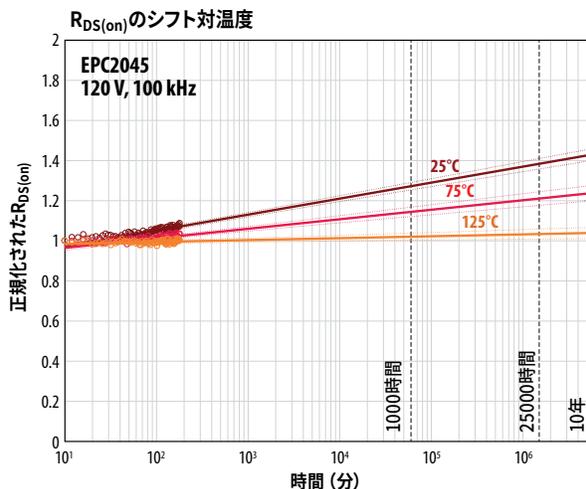
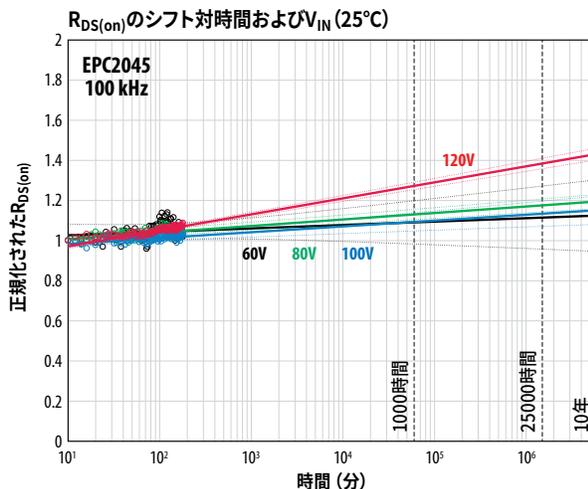
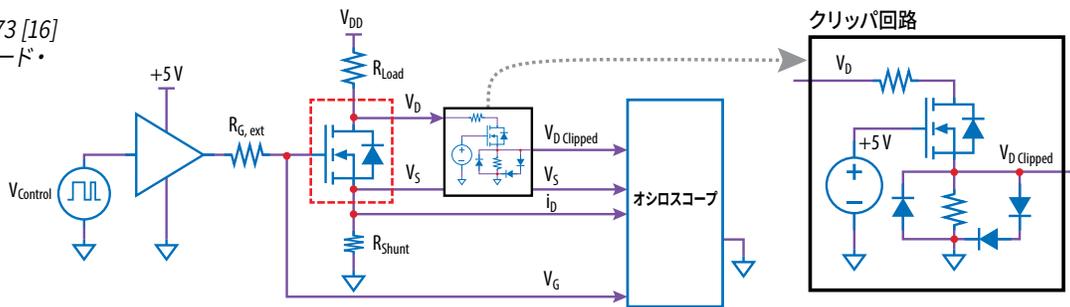


図10: さまざまな電圧ストレス・レベルと温度での経時的な第5世代eGaN FET (EPC2045) の  $R_{DS(on)}$ 。左側グラフでは、デバイスは、25°C、電圧60 V~120 Vでテストしました。右側のグラフは、さまざまな温度での120 Vでの  $R_{DS(on)}$  の変化です。

## 2.1 1000時間を超える連続ハード・スイッチング

抵抗性ハード・スイッチング・システムを使って、eGaN FETのEPC2218の6個のサンプルを同時に1000時間以上の連続動作でテストしました。このテストの目的は、 $R_{DS(on)}$ の長期的な増加の原因となる電荷トラップ・メカニズムがlog(時間)の傾向に従うことを示すことです。この傾向が長期にわたって維持される場合、最初の数時間のデータを使って、10年後または15年後に予想される $R_{DS(on)}$ を予測できます。図11は、テスト対象のすべてのサンプルの時間の経過に伴う正規化された $R_{DS(on)}$ を示し、図12は、最初の5時間のデータまたは1150時間全体のいずれかを使った適合線の間の違いです。

5時間の適合線のエラーの主な原因は、周囲温度の小さな温度変化です。これらの(ランダムな)温度変動は、テスト時間が長くなるにつれて相殺される傾向があります。それにもかかわらず、短期および長期のテストは、15年後に予測される $R_{DS(on)}$ に関して10%以内で一致します。これは、短期間のデータ収集(数時間以上)を使って、長期の動的 $R_{DS(on)}$ の振る舞いを正確に予測できるという考えに信憑性を与えます。

図11と12に示されている $R_{DS(on)}$ 値は、EPCのフェーズ10レポート [10] で以前に説明したように、テストの全期間にわたって定期的に取得された捕捉されたオシロスコブの波形から計算したことに注意してください。このアプローチは、膨大な量のデータを生成しますが、テスト中の任意の時点で高速電圧波形を見返す機会も提供します。

図13は、1000時間の連続ハード・スイッチング後に取得した波形です。この図を参照すると、デバイスは時間 $t_0$ でオンになり、 $R_{DS(on)}$ は、スイッチング遷移後の0.5~1.0  $\mu\text{s}$ である $t_2$ から $t_3$ までの期間の平均によって測定されます。 $t_0$ から $t_1$ までの間隔は、クリップ回路が安定するまでの間に疑似過渡信号が含まれているため、除外されています。ただし、波形から、遷移後の0.3  $\mu\text{s}$ と1.0  $\mu\text{s}$ の間で $R_{DS(on)}$ に本質的に違いがないことに注意してください。これと他の多くのデータは、eGaN技術がスイッチング後の最初のマイクロ秒の間に、短期間の回復効果(または「高速の動的 $R_{DS(on)}$ 」)の影響を受けないことを示しています。ただし、この高速効果は、さまざまなGaN HEMT技術で報告されています。eGaNでは、動的 $R_{DS(on)}$ は、log(t)依存性に沿ったゆっくりとした経年的な上昇としてのみ現れます。

オンしてから500 ns以下で $R_{DS(on)}$ を捕捉するには、反応時間が短いさまざまなクリップ・ソリューションを使えるでしょう。例えば、[27]では、ダブル・パルス・テスト回路を使って、同じ製品EPC2045に対して、50 nsでオンした後に $R_{DS(on)}$ が捕捉されました。100 V、20 Aでの誘導性ハード・スイッチングでは、「高速動的 $R_{DS(on)}$ 」は報告されていません。

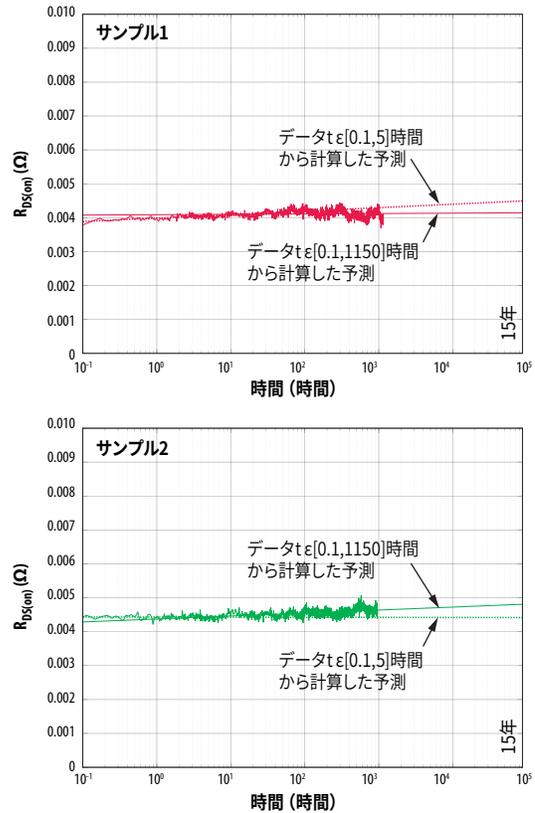


図12: log(時間)の適合と $R_{DS(on)}$ データの比較。破線は、最初の5時間の適合を表し、実線は1150時間全体の適合を表します。EPC2218の2個のサンプルのデータが示されています。短期的な適合は、長期的な適合と同様の予測になり、15年の予測で±10%の小さなランダムな違いであることに注意してください。

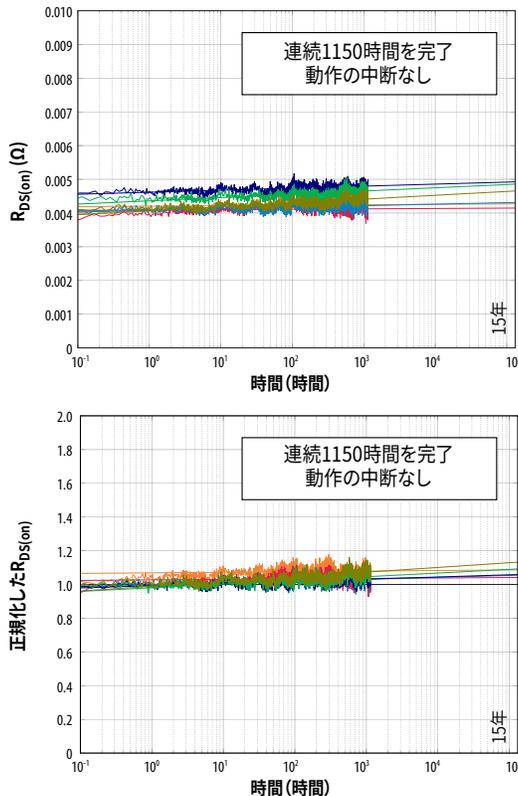


図11: 周囲温度およびバイアス100Vで1000時間以上の抵抗性ハード・スイッチングの連続動作下でのEPC2218 (eGaN FET) の6個のサンプルの長期間の動的 $R_{DS(on)}$ 上のグラフは、 $R_{DS(on)}$ 対時間で、下のグラフは、最初の10分後の値に正規化した $R_{DS(on)}$ です。1000時間以上の動作でも、 $R_{DS(on)}$ は、単純なlog(時間)の増加依存性から逸脱しないことに注意してください。

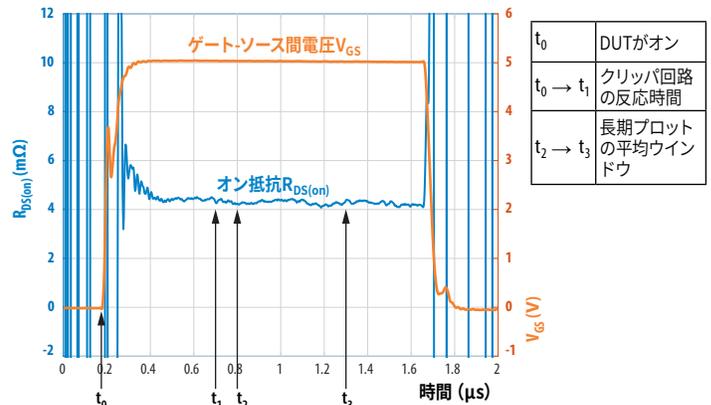


図13: スイッチがオンする遷移後の最初の1~2  $\mu\text{s}$ における $R_{DS(on)}$ の高時間分解能オシロスコブ波形。この波形は、1000時間の連続抵抗性ハード・スイッチング後にEPC2218から得ました。他のGaN技術で見られる「高速動的 $R_{DS(on)}$ 」回復の形跡がないことに注意してください。

## 2.2 誘導性と抵抗性のハード・スイッチングとスイッチ電流の影響

何人かのユーザーは、抵抗性ハード・スイッチングが誘導性ハード・スイッチング中に発生するこの種のホット・キャリア・ストレスを真に表していないという懸念を提起しました。これらの懸念は、学術文献、会議議事録、および他のGaNメーカーによっても表明されています。この議論は、オン遷移中に部品が通過する電流-電圧空間の軌跡に集中します。誘導性遷移の場合、FETは、電圧と電流の両方が高い臨界時間間隔、正確にはホット・キャリア効果につながる条件の間に、より大きな電流が生じるという訳です。もっともらしいですが、これらの議論は、ほとんどごまかしであり、実際のデータや確かな理論によってサポートされている訳ではありません。

この質問に対処するために、EPCは、誘導性と抵抗性の両方のハード・スイッチングを測定する専用のテスト装置を開発しました。このシステムの重要な機能は、テスト対象の同じデバイス上で誘導モードから抵抗モード（およびその逆）に切り替える機能です。誘導モードの場合、テスト回路は電流連続モード（CCM）で動作するブースト・コンバータです。どちらのモードでも、この部品は200 kHzで連続的にスイッチングし、オシロスコープのトレースが定期的に捕捉されるため、短期および長期の両方の動的 $R_{DS(on)}$ をモニターできます。

図14は、80 VでスイッチングしたときのEPC2204 (eGaN FET) のデータです。最初の4時間は、この部品を誘導モードで動作させました。その後、確実に4時間は抵抗モードで動作させました。公正な比較を保証するために、デバイスのオフ状態の電圧、周波数、デューティ比、オン時の電流は、抵抗性の場合と誘導性の場合で同じに保ちました。図から分かるように、 $\log(t)$ 増加特性の傾きや途中のデータに識別可能な違いはありません。抵抗性と誘導性のハード・スイッチングは、動的 $R_{DS(on)}$ の観点から本質的に区別できません。遷移の最初のマイクロ秒以内の短期的な影響についても同じことが言えます。どちらのモードでも、「高速」回復効果は示されませんでした。

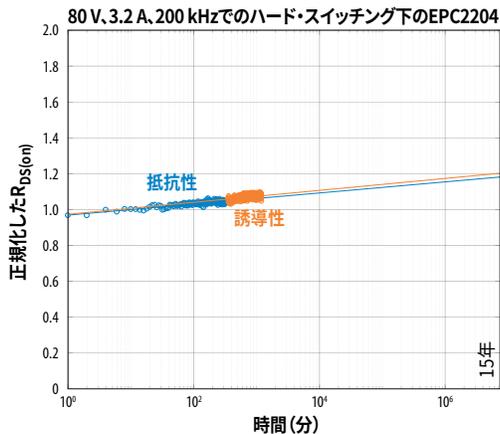


図14: 80 V、200 kHzでのスイッチングにおけるFET (EPC2204) の誘導性ハード・スイッチングと抵抗性ハード・スイッチングの比較。同じ部品を最初の4時間は誘導モードでテストし、次の4時間は抵抗モードでテストしました。どちらのモードも、動的 $R_{DS(on)}$ の観点からは本質的に区別できません。

この驚くべき結果は、eGaN FETの $R_{DS(on)}$ シフトの原因となるメカニズムが、遷移中に通過する電流-電圧の詳細な軌跡に依存しないか、弱く依存していることを意味します。どちらのスイッチングの場合も、オンの間、電圧と電流は同時に存在します。抵抗性スイッチング中は、電流が増加するにつれて、トランジスタにかかる電圧が低下します；一方、純粋に誘導性のオンでは、電圧がなくなる前に電流が上昇します。動的 $R_{DS(on)}$ がモード間で非常に類似しているという事実は、電子の電流がホット・キャリア・トラッピングに弱い影響を及ぼしていることを示唆しています。

この仮説をさらに調査するために、2つの異なるスイッチ電流でEPC2206の抵抗性ハード・スイッチング測定を実施しました。図15 (上図) がこの結果です。1つの部品は12.8 Aでテストし、もう1つの部品はスイッチ電流が2倍の

25.6 Aでテストしました。それぞれの場合の個別のデバイスの発熱を考慮するために、 $R_{DS(on)}$ は10分後での値に正規化します。ここでは、以前と同様に、驚くべき結果が得られました。すなわち、スイッチング電流は、 $\log(t)$ 増加特性の傾きまたは途中のデータのいずれにも識別可能な影響を与えません。同様に、傾きに対するスイッチ電流の影響も、誘導性ハード・スイッチングの下で評価されました。

図15 (下図) は、異なる電流、出力電圧80 Vにおいて、誘導性ハード・スイッチングの下で、ブースト・コンバータで動作する同じEPC2204を示しています。最初の1.5時間はスイッチ電流1 Aで始め、5 Aで3.5時間続け、さらに追加の20時間、10 A供給して終わります。結果の解釈を容易にするために、 $R_{DS(on)}$ の測定値は、各間隔の開始時に熱定常状態の $R_{DS(on)}$ に正規化しました。

以下で説明するように、動的 $R_{DS(on)}$ のEPCの物理ベースのモデルは、上記の結果を説明しています。このモデルは、観察されたように、スイッチ電流（またはスイッチング軌跡）が $\log(t)$ 増加線の傾きに影響しないことを予測しています。さらに、このモデルは、スイッチ電流が線の途中のデータに影響を与えますが、弱くしか影響しないと予測しています。実際、線の途中のデータ（または追加の垂直オフセット）は、スイッチ電流の対数のように増加します。同じ理由で、スイッチング軌跡の詳細はほとんど影響を与えず、誘導性と抵抗性のハード・スイッチングは、動的 $R_{DS(on)}$ を特徴付けるために、等しく有効な方法です。

誘導性テスト回路にも同様に有効ですが、抵抗性回路は、動的 $R_{DS(on)}$ の評価に関していくつかの実用的な利点があります。1つは、この回路は、よりシンプルで小型なため、ウエハーレベルの特性評価のためにプローブ・カードに統合できることです。もう1つは、オフ時に電圧オーバーシュートがないため、ブレークダウン電圧に近い電圧でのテストが可能であり、誘導性スイッチング回路で可能な場合よりも、さらに厳しいスイッチング軌跡の動作点にできることです。これらの理由から、EPCは、デバイスの特性評価の主要な方法として抵抗性スイッチング回路を引き続き使っています。

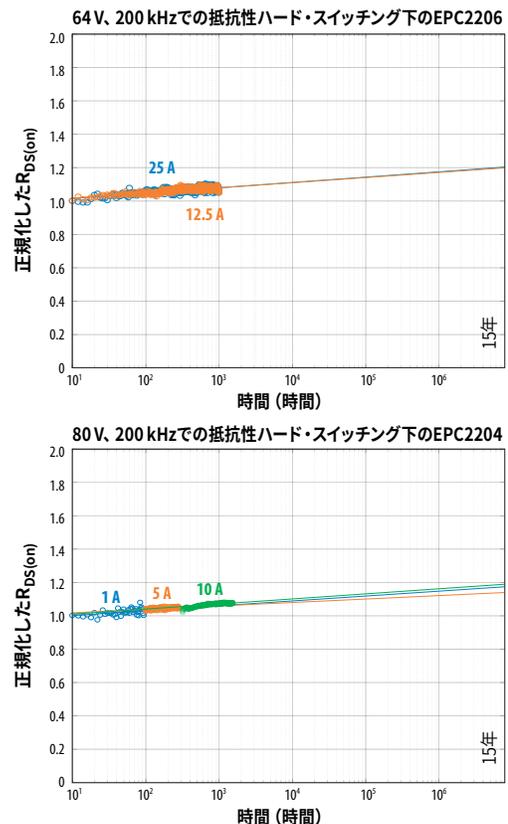


図15: 動的 $R_{DS(on)}$ に対するスイッチ電流の影響。(上図) 2個のEPC2206は、64 V、200 kHzの抵抗性ハード・スイッチングでテストしました。(下図) 同じデバイスを、誘導性ハード・スイッチングと80 V、200 kHzの3つの異なる電流の下でテストしました。 $\log(t)$ 増加特性の傾きまたは途中のデータに識別可能な違いは見つかりませんでした。

## 2.3 スwitchングの高温/低温の交互テスト

EPCは、以前に報告されたよりも低い温度で追加のハード・スイッチング信頼性テストを実施しました[10]。被試験デバイスの裏面（パッケージ面）に取り付けた特別に設計した熱電モジュールを使って、部品のスイッチング中に $-30^{\circ}\text{C}$ という低い温度が得られました（この条件は本質的に学術的なものであることに注意してください。つまり、非常に低い周囲温度条件でも、自己発熱のために、デバイスは、この低温にはなりません）。

標準的な結果が図16です。ここでは、EPC2059を連続ハード・スイッチング下で動作させ、パッケージ温度を2つの完全なサイクルで $80^{\circ}\text{C}$ から $-30^{\circ}\text{C}$ の間で変えました。見て分かるように、温度が $-30^{\circ}\text{C}$ に下がると、チャネルの移動度が上がるため、 $R_{\text{DS(on)}}$ も下がります。ただし、 $80^{\circ}\text{C}$ の場合よりも明らかに大きな傾きで $\log(t)$ 増加特性に従って、時間と共に上昇し始めます。温度が再び循環すると、 $R_{\text{DS(on)}}$ は、これらの2つの異なる線の間を前後に行ったり来たりします。

このデータは、 $\log(t)$ 増加則の傾きが負の温度係数を持っているというさらに多くの証拠を提供します。これは、以下のモデルで説明されます。傾きは確かに $-30^{\circ}\text{C}$ （データシートの最小値 $-40^{\circ}\text{C}$ に近い）で大きくなりますが、この非現実的な条件で、この部品を10年間ノンストップで動作させた場合でも、 $R_{\text{DS(on)}}$ は、同時に $80^{\circ}\text{C}$ で動作させたときよりも、まだ小さいままです。

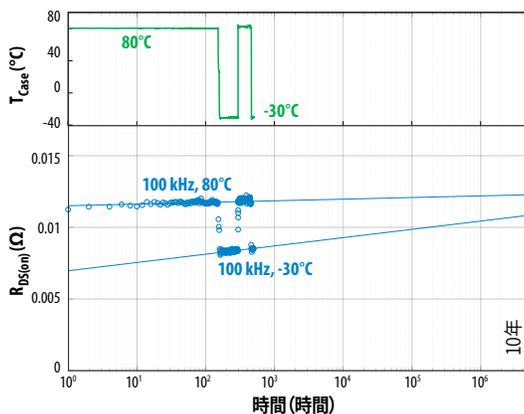


図16: EPC2059の動的 $R_{\text{DS(on)}}$ に対する交互の高温-低温条件の影響。  
 (上図) 熱電冷却器によって制御されたときのパッケージ温度対時間の関係。(下図)  $R_{\text{DS(on)}}$ 対時間。スイッチングは、100 V、100 kHzで継続的に行われます。

## 2.4 物理ベースの動的 $R_{\text{DS(on)}}$ と寿命モデル

EPCは、表面トラップへのホット・キャリア散乱の基本的な物理から、eGaN FETの動的 $R_{\text{DS(on)}}$ 効果を説明するための第一原理数学モデルを開発しました。このモデルは、次のすべての現象をうまく予測します：

- $R_{\text{DS(on)}}$ は、 $\log(t)$ で時間と共に増加します
- 時間の経過に伴う $R_{\text{DS(on)}}$ の傾きは、負の温度係数を持ちます（つまり、高温での傾きが小さくなります）
- スwitchング周波数は傾きに影響を与えませんが、垂直方向のオフセットが小さくなります
- スwitchング電流は傾きに影響を与えませんが、垂直方向のオフセットが小さくなります
- 誘導性ハード・スイッチングと抵抗性ハード・スイッチングの違いは無視できるほど小さい

このセクションでは、モデル方程式を説明なしで要約します。これらの方程式の理論的導出は、付録Bに記載されています。

## 2.4.1 正規化された $R_{\text{DS(on)}}$ シフトの方程式

式2は、時間、温度、およびドレイン電圧の関数として $R_{\text{DS(on)}}$ をモデル化します。これには、デバイスに依存する5つのパラメータが含まれます。以下にリストされているパラメータの値は、付録BにリストされているEPC2045、またはその他の100 V、第5世代のFETに適しています。自然対数（底e）を適合するために使いました。この式の一般的な形は、すべてのeGaN FETに適用されますが、他のeGaN製品に固有のパラメータ値についてはEPCにお尋ねください。

$$\frac{\Delta R}{R} = a + b \log \left( 1 + \exp \left( \frac{V_{\text{DS}} - V_{\text{FD}}}{\alpha} \right) \right) \sqrt{T} \exp \left( \frac{\hbar \omega_{\text{LO}}}{kT} \right) \log(t) \quad \text{式2}$$

### 独立変数：

$V_{\text{DS}}$  = ドレイン電圧 (V)

$T$  = デバイス温度 (K)

$t$  = 時間 (分)

### パラメータ：

$a$  = 0.00 (単位なし)

$b$  =  $2.0\text{E-}5$  ( $\text{K}^{-1/2}$ )

$\hbar \omega_{\text{LO}} = 92$  meV

$V_{\text{FD}} = 100$  V (第5世代の100 V製品にのみ適当)

$\alpha = 10$  (V)

## 2.4.2 スwitchング周波数/電流スケーリングの関係

式3を使うと、ユーザーは、スswitchング周波数 ( $f$ ) またはスswitchング電流 ( $I$ ) を1つの組み合わせの条件 ( $f_1, I_1$ ) から別の組み合わせ ( $f_2, I_2$ ) に変更した場合の影響を定量化できます。 $R_{\text{DS(on)}}$ に対するこれらの変更の影響は、ある条件から別の条件への $\log(t)$ 増加特性の垂直オフセットにすぎません。特性の傾きは変化せず、垂直オフセットのみが変化します。このオフセットは、周波数または電流の対数に依存するため、これらの変数の影響は弱いことに注意してください。

$$R(t; f_2, I_2) = R(t; f_1, I_1) + b \left( \log \left( \frac{f_2}{f_1} \right) + \log \left( \frac{I_2}{I_1} \right) \right) \quad \text{式3}$$

## 2.4.3 ハード・スイッチングの寿命モデル

式4は、ドレイン電圧と温度の動作条件に基づいて、eGaN FETの予想した寿命をモデル化したものです。この式は、所望の品質または信頼性の要件を満たすために、特定のミッション・プロファイルの下で寿命の見積もりを必要とするユーザーに役立ちます。これは、 $R_{\text{DS(on)}}$ が20%増加する時間を解くことによって、式2から簡単な方法で導き出されます。それは、他の寿命の定義に容易に適合させることができます。

$$\langle t \rangle = \exp \left[ \frac{(0.2 - a)}{b \log \left( 1 + \exp \left( \frac{V_{\text{DS}} - V_{\text{FD}}}{\alpha} \right) \right) \sqrt{T} \exp \left( \frac{\hbar \omega_{\text{LO}}}{kT} \right)} \right] \text{ (分)} \quad \text{式4}$$

図17は、4つの異なるドレイン・バイアスで動作するEPC2045の測定とモデルの比較です。データの測定の不確かさの範囲内で良く一致しています。

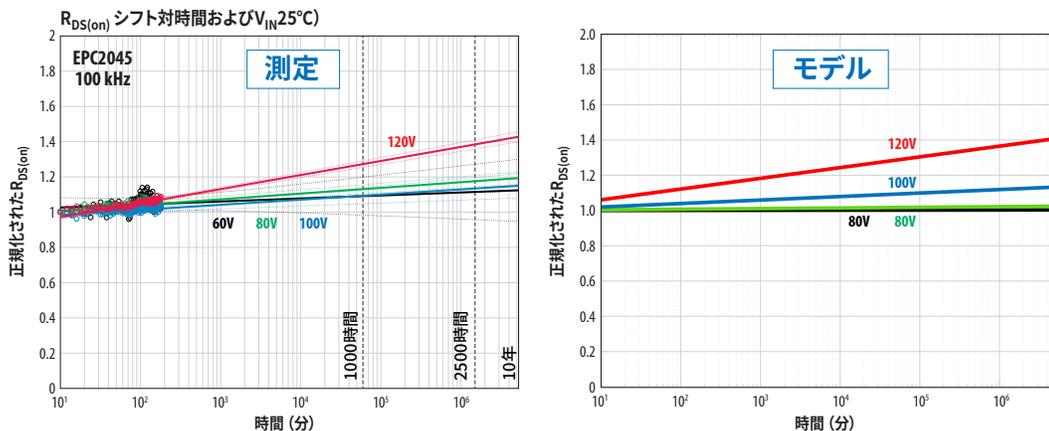


図17: 25°C、100 kHzでのEPC2045のさまざまなドレイン電圧での動的 $R_{DS(on)}$ の測定とモデルの比較。

図18は、3つの異なる温度で動作するEPC2045の測定とモデルの比較です。繰り返しますが、測定の不確かさの範囲内で良く一致しています。

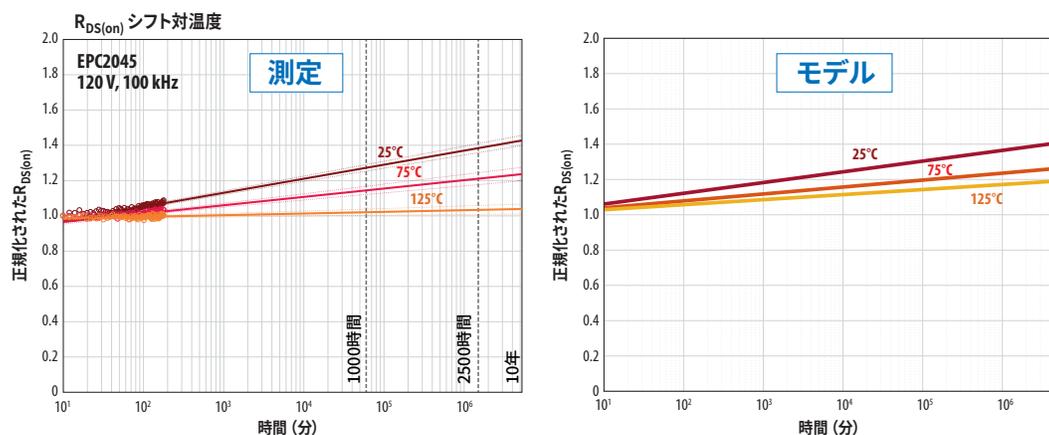


図18: 120 V、100 kHzでのEPC2045のさまざまな温度での動的 $R_{DS(on)}$ の測定とモデルの比較。

#### 2.4.4 動的 $R_{DS(on)}$ の動作とモデリングのまとめ

式4は、ドレイン電圧と温度の動作条件に基づいて、予想したeGaN FETの寿命をモデル化したものです。この式は、所望の品質または信頼性の要件を満たすために、特定のミッション・プロファイルの下で寿命の推定を必要とするユーザーに役立ちます。これは、 $R_{DS(on)}$ が20%増加する時間を解くことによって、式2から簡単な方法で導き出されます。これは、他の寿命の定義に容易に適合させることができます。

このモデルは、以下の観測を予測します：

- $R_{DS(on)}$ は、 $\log(t)$ で時間と共に増加します
- 時間の経過に伴う $R_{DS(on)}$ の傾きは、負の温度係数を持ちます（つまり、高温での傾きが小さくなります）
- スイッチング周波数は傾きに影響を与えませんが、垂直方向のオフセットが小さくなります
- スイッチング電流は傾きに影響を与えませんが、垂直方向のオフセットが小さくなります

付録Bは、このモデルのより完全な導出を示しています。

### セクション3:安全動作領域

安全動作領域 (SOA) テストは、eGaN FETを指定されたパルスの長さで大電流 ( $I_D$ ) と高電圧 ( $V_{DS}$ ) に同時に曝します。主な目的は、データシートのSOAグラフ内のすべてのポイント ( $I_D$ ,  $V_{DS}$ ) でFETが不具合なく動作できることを確認することです。安全領域の外側で故障するまでテストすることによって、安全マージンを調査するためにも使えます。

SOAテスト中、チップ内の大きな電力消費によって、接合部温度が急激に上昇し、温度の傾きが強くなります。十分に大きな電力またはパルス持続時間の場合、デバイスは、単純に過熱して壊滅的に故障します。これは、熱過負荷故障として知られています。

Si MOSFETでは、SOAテストで2次降伏 (またはSpirito効果[14]) として知られる別の故障メカニズムが観察されています。高 $V_D$ および低 $I_D$ で発生するこの故障モードは、接合部温度としきい値 $V_{TH}$ の間の不安定なフィードバックによって引き起こされます。パルス期間中に接合部温度が上昇すると、 $V_{TH}$ が低下し、パルス電流が上昇する可能性があります。次に、電流の上昇によって温度がより速く上昇し、それによって正のフィードバック・ループが形成され、熱暴走と最終的な故障につながります。この調査の目的は、Spirito効果がeGaN FETに存在するかどうかを判断することです。

EPCは、eGaN FET専用の安全動作領域テスト・システムを設計し、構築しました。このシステムについては、付録Dで詳しく説明しています。簡単に言うと、この回路は、カーブ・トレーサと同様に動作します。被試験デバイス (DUT) のゲート・バイアスは、パルスの前に設定され、最終的なパルス電流を変調するために使われます。次に、ドレイン電圧は、指定されたパルスの長さの間、pチャンネルの制御用FETによって、ドレインにパルスが加えられます。

直流または長期間パルスの場合、FETのSOA能力は、デバイスのヒートシンクに大きく依存します。これは、真のSOA能力を評価するための大きな技術的課題を提示する可能性があり、多くの場合、特殊な水冷ヒートシンクが必要になります。ただし、パルスが短いと (1 ms以下)、ヒートシンクはSOAの性能に影響しません。これは、短い時間では、接合部で発生する熱が外部ヒートシンクに拡散するための十分な時間がないためです。代わりに、すべての電力は、GaN膜と近くのシリコン基板の温度 (熱容量) を上げることに変換されます。これらの考慮事項の結果として、SOAテストは、2つのパルス幅、すなわち、1 msと100  $\mu$ sで実施しました。

図19は、200 VのEPC2034CのSOAデータです。このプロットでは、個々のパルス・テストは、( $I_D$ ,  $V_{DS}$ ) 空間の点で表されています。これらの点は、データシートのSOAグラフに重ね合わされています。100  $\mu$ sと1 msの両方のパルス・データが一緒に示されています。緑色の点は、部品が合格した100  $\mu$ sのパルスに対応し、赤色の点は部品が故障した場所を示します。低 $V_{DS}$ から $V_{DS(max)}$  (200 V) まで、SOAの広い領域が故障なしという調査結果でした (すべて緑色の点)。すべての故障 (赤色の点) はSOAの外側で発生し、データシートのグラフの緑色の線で示されています。同じことが1 msのパルス・データ (紫色と赤色の三角形) にも当てはまります。つまり、すべての故障は、データシートのSOAの外側で発生しました。

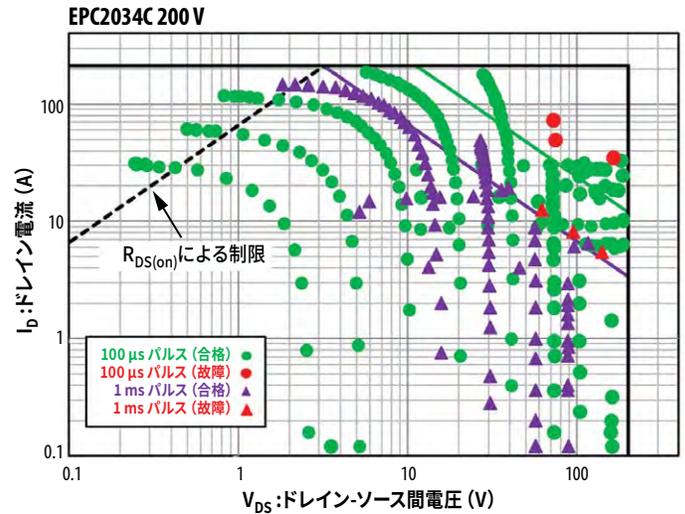


図19: EPC2034CのSOAプロット。「 $R_{DS(on)}$ による制限」の線は、150°Cでの $R_{DS(on)}$ のデータシートの最大仕様に基づいています。1 ms (紫色の三角形) と100  $\mu$ s (緑色の点) のパルスの測定値と一緒に示されています。故障は、赤色の三角形 (1 ms) または赤色の点 (100  $\mu$ s) です。すべての故障は、データシートのSOA領域の外で発生することに注意してください。

図20は、車載品質AEC認定のEPC2212（第4世代の車載用100 V）、EPC2045（第5世代の100 V）、およびEPC2014C（第4世代の40 V）の3種の部品のSOAデータです。すべての場合において、データシートの安全動作領域は、故障なしで調査されており、すべての故障はSOA制限の外、多くの場合、この制限よりもかなり外側で発生しています。

データシートのSOAグラフは、関連するすべての層を含むデバイスの熱モデルとその熱伝導率および熱容量を使って、有限要素解析で生成されます。過渡シミュレーションに基づいて、SOAの制限は、単純な基準によって決定されます。すなわち、特定のパルス持続時間に対して、消費電力は、パルスの終了前に接合部温度が150°Cを超えないようにしなければなりません。この基準によって、SOAグラフの45度の緑色の線（100  $\mu$ s）と紫色の線（1 ms）で示される一定の電力に基づく制限になります。このアプローチの結果は、この調査の広範なテスト・データによって証明されるように、保守的な安全動作領域を定義するデータシートのグラフになります。パワーMOSFETでは、同じ定電力アプローチによって、熱的不安定性（Spurto効果）が原因で故障が早期に発生する高電圧領域での能力の過大評価につながります。

ただし、故障の物理的観点から、図20から明らかのように、場合によっては、eGaN FETは、公称安全領域の外側で十分に生き残ることができますが、ドレイン-ソース間の高いバイアスでパルス幅が長くなると、動作マージンが減少します。動作中のメカニズムについてより深い知識を得るために、EPCは、さらに、より高い $V_{DS}$ （データシートの最大値を超える）、および、より長いパルス持続時間で、故障するまでテストする調査を実施する計画です。これらの調査では、意味のある結果を得るために、デバイスにヒートシンクを追加する必要があります。この測定技術は、修正され続けており、故障したデバイスは、本質的な故障メカニズムを探するために分析されています。

故障の正確な物理は、まだ不明であるかもしれませんが、この調査の主な結果は、明らかです：eGaN FETは、データシートのSOA内で動作したとき、故障しません。

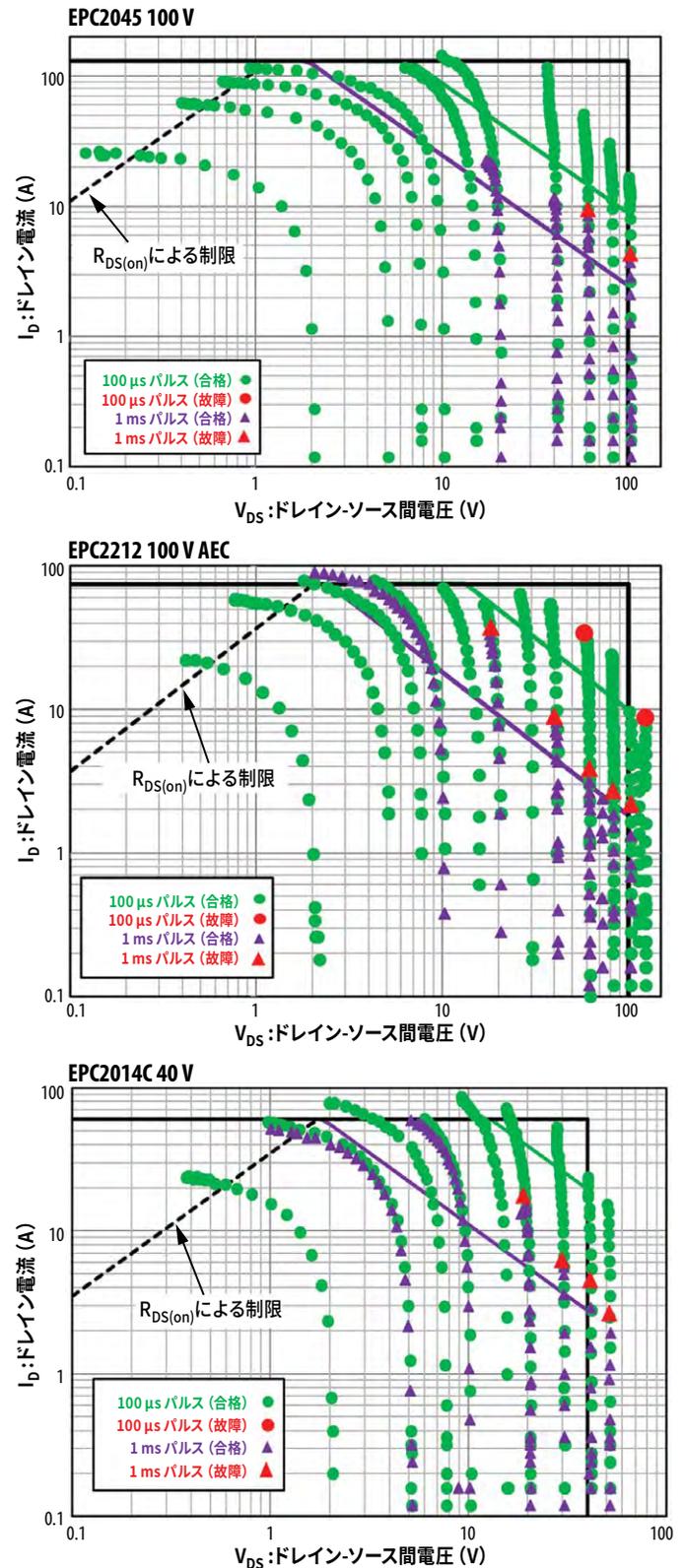


図20: EPC2045、EPC2212、EPC2014CのSOAの結果。1 ms（紫色の三角形）と100  $\mu$ s（緑色の点）のパルスの測定値が一緒に示されています。故障は、赤色の三角形（1 ms）または赤色の点（100  $\mu$ s）です。すべての部品で、すべての故障がデータシートのSOA領域の外で発生することに注意してください。

## セクション4: 短絡の耐久性テスト

短絡の耐久性とは、オン（導通）状態のときに、電力変換器で発生する可能性のある意図しない故障状態に耐えるFETの能力のことです。このような場合、その部品には、トランジスタの固有の飽和電流と、故障の場所とアプリケーションとによって変化する回路の寄生抵抗によってのみ制限される電流とを組み合わせたバス電圧全体が加わります。短絡状態が保護回路によって抑制されない場合、極端な電力消費は最終的にFETの熱故障につながります。短絡テストの目的は、これらの条件下で部品が生き残ることができる「耐性時間（耐えられる時間）」を定量化することです。一般的な保護回路（IGBTゲート・ドライバの不飽和保護など）は、2~3  $\mu\text{s}$ の過電流状態を検出して対応することができます。したがって、eGaN FETが約5  $\mu\text{s}$ 以上のクランプされていない短絡条件に耐えることができることが望ましいと言えます。

短絡の耐久性の評価に使われる2つの主なテスト回路は以下です [18]:

- ・ ハード・スイッチ故障 (HSF: Hard-switched fault) : ドレイン電圧が印加された状態でゲートがオン（およびオフ）に切り替えられます
- ・ 負荷時故障 (FUL: Fault under load) : ゲートがオンのときにドレイン電圧がオンになります

この調査では、EPCは両方の故障モードで部品をテストし、耐性時間に有意差は見られませんでした。したがって、この説明の残りの部分では、FULの結果に焦点を当てます。ただし、HSFテストから、eGaN FETは、シリコン・ベースのIGBTで発生する可能性のあるラッチやゲート制御の損失がなかったことに注意することが重要です [18]。eGaNデバイスに寄生バイポーラ構造がないことを考えると予想された結果です。FETが壊滅的に故障する時間まで、ゲートをローに切り替えることで短絡を完全に抑えることができます。これは、保護回路設計にとって有利な機能です。このテスト方法の詳細は、付録Dに記載されています。

2種類の代表的なeGaN FETをテストしました:

1. EPC2203 (80 V): 第4世代の車載品質 (AEC) デバイス
2. EPC2051 (100 V): 第5世代のデバイス

これらのデバイスは、製品ファミリーの中で最小なので、選択しました。これによって、短絡評価に必要な大電流によって、テストが簡素化されました。ただし、単純な熱スケールリングの議論に基づいて、耐性時間は、他のファミリー内のデバイスと同じであると予想されます。EPC2203の結果は、EPC2202、EPC2206、EPC2201、EPC2212にも対応します。EPC2051はEPC2045とEPC2053にも当てはまります。

図21は、一連の増加するドレイン電圧に対するEPC2203の負荷時の故障データです。6 V（データシート最大値）の $V_{GS}$ 、および10  $\mu\text{s}$ のドレイン・パルスにおいて、デバイスは、60 Vの $V_{DS}$ まで、まったく故障しませんでした。これらの条件下では、3 kW以上が0.9 mm×0.9 mmのチップで消費されます。より高い $V_{DS}$ では、電流はパルス中に時間と共に減衰するように見えます。これは、デバイス内の接合部温度の上昇の結果であり、永久的な劣化を意味するものではありません。

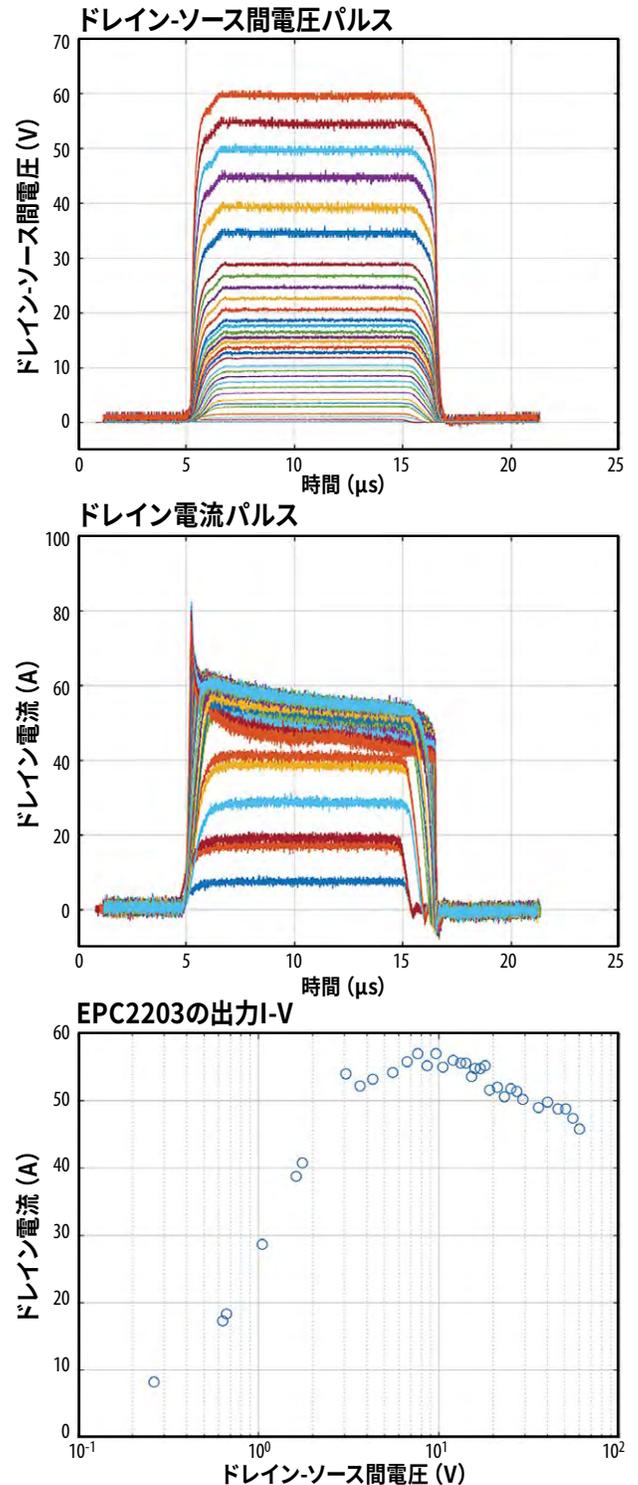


図21: 一連の増加するドレイン電圧の負荷テスト波形におけるEPC2203の故障。ドレイン・パルスは、幅10  $\mu\text{s}$ で $V_{GS}=6\text{V}$ です。このデバイスは、このパルス幅で故障しませんでした。（上の図） $V_{DS}$ 対時間。 $V_{DS}$ は、デバイスの端子で直接、ケルビン検出しました。（中央の図） $I_{DS}$ 対時間。 $I_{DS}$ は、自己発熱によって、時間の経過と共に減少することに注意してください。（下の図）このテスト・シーケンスの出力曲線の結果。ドレイン電流は、パルス期間中の平均電流として報告されます。より高い $V_{DS}$ でのデバイスの加熱によって、ドレイン電流は飽和領域で反転します。

より長いパルス幅 (25  $\mu\text{s}$ ) を使うと、その部品は、最終的に熱過負荷で故障します。代表的な波形が図22です。故障時は、ドレイン電流の急激な上昇によって示されます。この事象の後、デバイスは永久に損傷します。耐性時間は、パルスの開始から故障までの時間で測定されます。

耐性時間に関する統計を収集するために、このアプローチを使って、8個の部品の群が故障するまでテストしました。この結果を表2にまとめました。EPC2203は、5 V (推奨ゲート駆動電圧) と6 V ( $V_{GS(max)}$ ) の両方でテストされ、平均耐性時間は、それぞれ20  $\mu\text{s}$ と13  $\mu\text{s}$ でした。飽和電流が高いため、6 Vでの寿命が短いことに注意してください。EPC2051は、6 VでのEPC2203と比べて、わずかに短い故障までの時間 (9.3  $\mu\text{s}$ ) を示しました。これは、第5世代製品のより積極的なスケールアップと電流密度のために、予想通りです。ただし、すべての場合において、この耐性時間は、ほとんどの短絡保護回路が応答して、デバイスの故障を防ぐために十分な長さです。さらに、この耐性時間は、部品間のばらつきが小さいことを示しました。

短絡パルス  
 $V_{DS} = 60\text{ V}$

	EPC2203 (Gen 4)		EPC2051 (Gen 5)	
	$V_{GS} = 6\text{ V}$	$V_{GS} = 5\text{ V}$	$V_{GS} = 6\text{ V}$	$V_{GS} = 5\text{ V}$
平均TTF ( $\mu\text{s}$ )	13.1	20.0	9.33	21.87
標準偏差 ( $\mu\text{s}$ )	0.78	0.37	0.21	2.95
最小TTF ( $\mu\text{s}$ )	12.1	19.6	9.08	18.53
平均パルス電力 (kW)	3.211	2.554	5.516	3.699
エネルギー (mJ)	43.36	50.24	50.43	77.34
チップ面積 ( $\text{mm}^2$ )	0.9025		1.105	
平均電力/面積 ( $\text{kW}/\text{mm}^2$ )	3.558	2.830	4.99	3.35
エネルギー/面積 ( $\text{mJ}/\text{mm}^2$ )	48.05	55.67	45.64	69.99

表2: EPC2203およびEPC2051の短絡耐性時間の統計。各条件の8個の部品から得られた統計。耐性時間は、平均値の周りに密に分布しています。パルスの平均的な電力とエネルギーは、母集団内の標準的な部品に該当します。

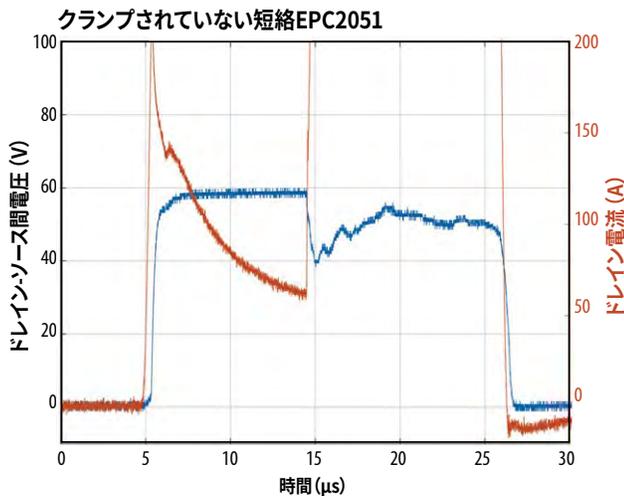
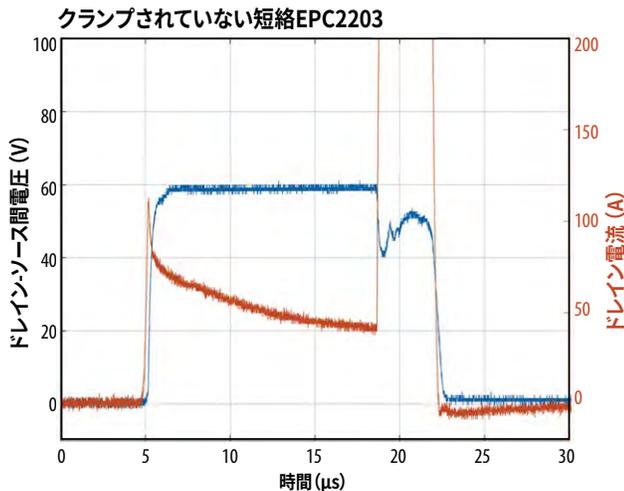


図22:  $V_{DS} = 60\text{ V}$ ,  $V_{GS} = 6\text{ V}$ , および25  $\mu\text{s}$ のドレイン・パルスでの標準的なEPC2203 (上図) およびEPC2051 (下図) の負荷テスト波形における故障。ドレイン電流の急激な上昇は、壊滅的な熱故障の期間を示しています。

パルス期間中の非常に高い電力密度によって、GaN層と近くのシリコン基板が急速に加熱されます。パルスが短く、熱伝導が比較的遅いため、半導体の厚さが薄いこと (深さ約100  $\mu\text{m}$ 以下) だけが、エネルギーを吸収する助けになります。この温度は、時間の平方根 (熱拡散の特性) で上昇し、パルス電力に線形に比例します。図23に示されているように、EPC2203の場合、5 Vと6 Vの両方の条件において、約850°Cの同じ接合部温度の上昇で故障します。同じことがEPC2051にも当てはまり、両方の条件で、約1050°Cの同じ $\Delta T_j$ で故障します。これらの結果から、3つの重要な結論が導き出されます:

1. 特定のデバイスの場合、故障までの時間は、消費電力の2乗に反比例します ( $P^{-2}$ )。これは、持続時間が約1 ms以下の短絡パルスおよびSOAパルスに適用されます。
2. 大電力パルスに起因する固有の故障モードは、ある臨界値を超える接合部温度に直接関連しています。
3. ワイド・バンドギャップeGaNデバイスは、フリー・キャリアの熱暴走のために、シリコン・デバイスが完全に対応できない接合部温度 (800°C以下) に耐えることができます。

故障の正確なメカニズムを特定するには、さらに分析が必要です。それにもかかわらず、この調査で示された実験結果は、eGaN FETの卓越した短絡耐性を示しており、ユーザーは十分な安全マージンを備えたシステムと短絡保護構成を設計できます。

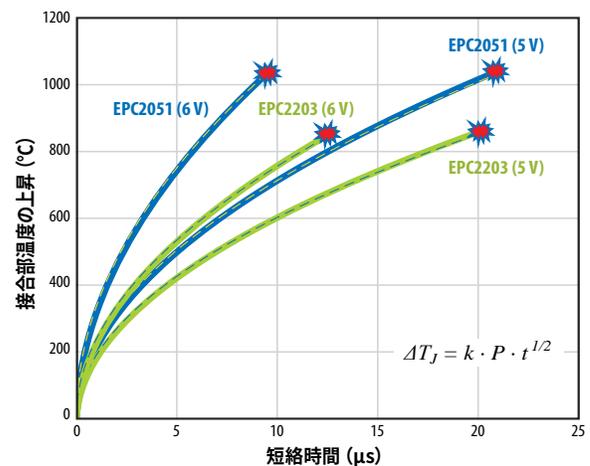


図23: 5 Vと6 Vの $V_{GS}$ の両方でのEPC2051とEPC2203の両方の短絡パルス期間中の時間に対するシミュレーションした接合部温度上昇。測定された故障時間は、赤色のマーカーで示されています。EPC2203は、約850°Cの $\Delta T_j$ で壊滅的に故障するのにに対し、EPC2051は約1050°Cで故障することに注意してください。シミュレーションした $\Delta T_j$ は、式に示されているように、時間に対する単純な平方根の依存性 (熱拡散) によって、よく適合できます。 $P$ は単位面積当たりの平均電力を示し、 $k = 6.73 \times 10^{-5} \text{ K}/\text{W}\cdot\text{s}^{1/2}$ です。

表2の下の行は、チップ面積に対するパルスの電力とエネルギーを示しています。これらの量と故障までの時間との関係を理解するために、時間依存の熱伝導をシミュレーションして、短絡パルス期間中の接合部温度の上昇 $\Delta T_j$ を決定しました。この結果が図23です。

## セクション5: 短電流パルスの信頼性 (LIDARアプリケーション)

eGaN FETは、自動運転車のLidar回路に広く採用されており、いくつかの重要な利点があります:

- より短いパルスとより高い分解能のためのより高速なスイッチング
- 実装面積が小さいため、高電力密度、低インダクタンス、小型なソリューションが可能
- より高いパルス繰り返し率でより高い効率

Lidarアプリケーションでは、GaNデバイスに1~5 nsのオーダーの短い大電流パルスを加え、レーザー・ダイオードを駆動して狭い光パルスを生成します[19]。ピーク電流は通常、FETのパルス電流定格の50%を大幅に上回っています。パルスのデューティ比は通常、小さく、パルスの繰り返し周波数 (PRF) は10~100 kHzの範囲です。パルスが加えられていないとき、部品はオフ状態にあり、特定のドレイン・バイアスが印加されています。

このストレス状態は、パワー・デバイスでは、やや普通ではないため、HTGB (高温ゲート・バイアス) やHTRB (高温逆バイアス) などの従来の直流信頼性テストによって、動作寿命を予測することは困難です。セクション2で説明したハード・スイッチングの信頼性テストのようなGaN固有のテストでさえ、Lidar回路のストレス条件を効果的にエミュレートしません。故障の物理的観点から、パルス期間中に大電流と高電圧を同時に加えると、ホット・キャリア効果に関する懸念が浮上するので、デバイス内でしきい値 $V_{TH}$ や $R_{DS(on)}$ のシフトを引き起こす可能性があります。さらに、繰り返し大電流パルスの累積効果によって、エレクトロマイグレーションの懸念が高まり、はんだ接合の劣化につながります。

この発展途上の市場におけるこれらの懸念に対処するために、EPCは、Lidarの主要なユーザーと協力して新しいテスト方法を開始しました。このLidar信頼性テストは、EPCのBeyond AEC Initiative [20] の一部です。これは、AEC-Q101規格の一部としてMOSFET用に開発された従来の信頼性テストを超えるGaN固有の一連のストレス・テストです。

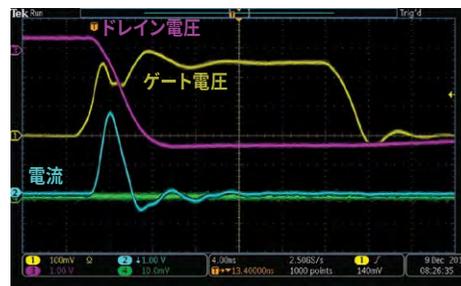
### 5.1 大電流パルス下での長期安定性

この概念は、実際のLidar回路の部品に、最終的なミッション・プロファイルに見合ったパルスの総数をストレスとして与えることです。自動車用Lidarのミッション・プロファイルは、ユーザーごとに異なります。標準的な自動車のプロファイルでは、100 kHzのパルス繰り返し周波数 (PRF) で、1日当たり2時間の動作で、15年の寿命が必要になります。これは、合計約4兆のLidarパルスに相当します。いくつかの最悪のシナリオでは、耐用年数に10~12兆パルスが必要になる場合があります。このテスト方法は、完全なミッション・プロファイルの最後まで、デバイスの母集団をテストすることによって、LidarミッションでのeGaNデバイスの寿命を直接実証します。この直接的なアプローチによって、妥当性が疑わしい加速係数や活性化エネルギーが不要になることに注意してください。標準的な信頼性テストから、Lidarの固有のストレス条件まで、寿命の見積もりを何らかの形で予測する必要もなくなります。

## 5.2 テストの方法論と結果

多数のパルスを得るために、部品は、通常のLidar回路よりも、はるかに高いPRFで連続的にストレスが加えられます。このテスト回路は、EPCの人気のあるLidarアプリケーション基板EPC9126に基づいています。実験の詳細は付録Cに記載されています。この調査では、EPC2202 (80 V) とEPC2212 (100 V) の2種の一般的なAEC品質の部品をテストしました。2種とも、4個の部品を同時にテストしました。ストレスの期間中、2つの重要なパラメータをすべてのデバイスで継続的にモニターします: (i) ピーク・パルス電流と (ii) パルス幅です。これらのパラメータは、Lidarシステムの範囲と分解能の両方にとって重要です。

図24は、最初の4.2兆パルスの結果です。パルスの累積数は、自動車の標準的な寿命に対応します。これは、eGaNデバイスの状態を間接的にモニターするものですが、回路の性能に悪影響を与える劣化メカニズムが発生していないことを示しています。



### ディスクリートFETのAEC-Q101シリーズ

- 8サンプル (7000時間以上)
- 故障0で完全なパルス安定性

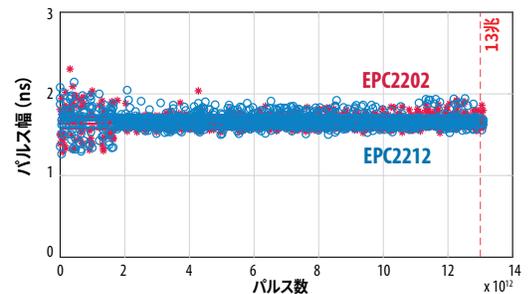
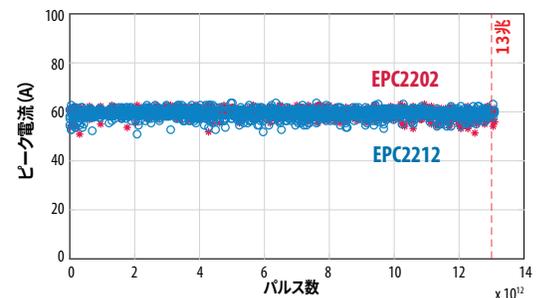


図24: 4.2兆以上のLidarパルスにわたるパルスの長期安定性 (右下図) とパルス高さ (右上図)。4個のEPC2202 (赤色) デバイスと4個のEPC2212 (青色) デバイスのデータが重ね合わせてプロットされています。標準的な自動車の寿命に対応するパルスの総数に対するこれらの重要なパラメータの優れた安定性に注目してください。左上図はパルスのオシロスコープ画像。

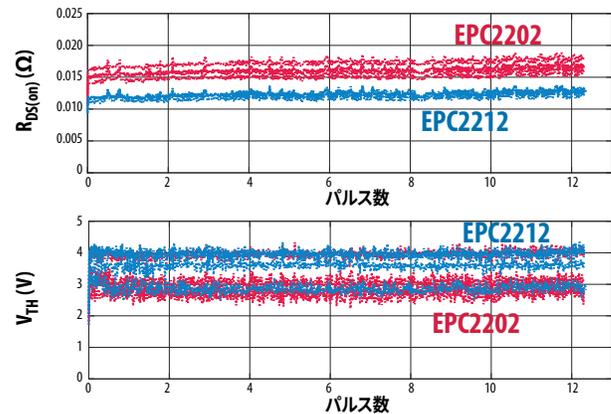


図25: Lidar信頼性テスト期間中の $R_{DS(on)}$ と $V_{TH}$ の長期安定性。これらのパラメータは、Lidarストレスを短時間中断することによって、すべての部品について6時間間隔で測定しました。 $V_{TH}$  は、一連のゲート電圧で $R_{DS(on)}$ を測定することによって推測されたことに注意してください。4個のEPC2202 (赤色) デバイスと4個のEPC2212 (青色) デバイスのデータを重ね合わせてプロットしています。標準的な自動車の寿命に対応するパルスの総数に対するこれらの重要なパラメータの優れた安定性に注目してください。

## セクション6: 機械的ストレス

製品の最終的な寿命、または、特定のアプリケーションでのその適合性は、遭遇する機械的ストレスによって制限される場合があります。このセクションでは、最も一般的な機械的ストレス源、チップのせん断、裏面圧力、および、曲げ力のいくつかを特徴づけ、チップスケール・パッケージが、通常の組み立てまたは取り付け条件下で耐久性があることを示します。

新たに追加されたものとして、セクション6.3では、曲げ力がデバイスの高導電率の原因となる圧電分極を変調することによって、eGaNデバイスの電気的特性を変化させることができるかどうかという問題に取り組んでいます。この結論として、はんだ接続の故障点よりもわずかに小さい曲げ力のデバイス導電率への最大の理論的影響は、1%よりはるかに小さいということです。

### 6.1 チップのせん断テスト

チップせん断テストの目的は、eGaNデバイスをプリント回路基板に実装するために使われるはんだ接合の耐性を評価することです。この判断は、実装したデバイスに適用されたときに、チップがプリント回路基板から受けるせん断される面内力に基づいています。すべてのテストは、軍用テスト規格MIL-STD-883E, Method 2019 [21] に準拠しています。

図26に、選択したEPCの4種のeGaN FETのテスト結果を示します。各製品について10個の部品をテストしました。テストした最小のチップは、EPC2036/EPC2203で、チップ面積は0.81 mm<sup>2</sup>、直径200 μmのはんだボールは、わずか4個です。予想通り、この製品のせん断強度は、最小でしたが、図26に示すように、MIL規格で指定された最小の力の要件を超えています。テストした最大のチップはEPC2206で、チップ面積は13.94 mm<sup>2</sup>、ランド・グリッド・アレイ (LGA) の製品です。EPC2206は、最小の力の要件の10倍以上になっています。サイズの分散内のEPC2212 (100 V, LGA) とEPC2034C (200 V, BGA) の2つの製品を追加してテストしました。どちらの製品も、最小の力を大幅に上回りました。

図26の結果は、ウエハーレベルのパッケージのEPC製品がすべて、最も厳しい条件下で環境せん断ストレスに対して機械的に丈夫であることを示しています。

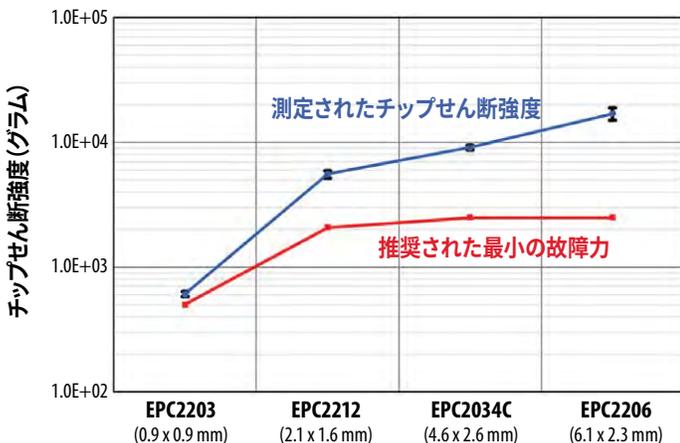


図26: せん断強度を測定しながら、eGaN FETのさまざまなチップ・サイズとはんだ構成で、故障するまでテストしました。この結果は黒色の点で示されています。赤色の星は、MIL-STD-883E, Method 2019の下での推奨される最小のチップせん断強度です。



図27: 圧力テスト装置。テスター・ヘッドは、0.6 mm/分の一定の荷重速度にして、所定の力がゲージによって検出されるまで、デバイスの裏側に下がります。DUTは、テスト段階で、安全に固定されているFR4テスト・クーポンに表面実装されています。

### 6.2 裏面圧力テスト

eGaNデバイスの機械的丈夫さのもう一つの重要な側面は、裏面圧力をどれだけうまく処理できるかです。これは、チップ裏面へのヒートシンクが必要なアプリケーションにとって重要な考慮事項です。組み立て中に、安全な「ピック・アンド・ブレース」配置力を決まるためにも重要です。

EPCは、最大400 psiの裏面圧力テストを実施しました。この圧力は、加えられた力をチップ面積で割って計算されます。図27は、使用した実験室用圧力テスターです。荷重速度を0.6 mm/分にして、チップの裏側に直接圧力を加えました。この圧力テストの前後に、合格または不合格を判断するためにパラメータ・テストを実施しました。続いて、部品を60 V<sub>DS</sub>、85°C、相対湿度85%で300時間、高温高湿逆バイアス (H3TRB) ・テストに曝しました。H3TRBは、圧力テストによる機械的損傷 (内部亀裂) によって引き起こされた潜在的な故障があったかどうかを判断するときに効果的です。

EPC2212 (100 V, LGA) およびEPC2034C (200 V, BGA) がテストされ、両方とも400 psiに合格しました。このデータは表3に含まれています。これらの結果は、eGaN FETには、プリント回路基板の組み立て工場通常使われる裏面圧力を処理するための十分なマージンがあることを示しています。これらの部品は400 psiに耐えましたが、EPCは、最大裏面圧力を50 psi以下に制限することを推奨しています。

製品名	サンプル数	チップ面積	背面圧力	加えた力	圧力テスト後のパラメータ・テストの故障数	300時間のH3TRBテスト後の故障数
EPC2212 (LGA)	16	2.1 x 1.6 mm	400 psi	9.3 N (2.1 lbs)	0/16	0/16
EPC2034C (BGA)	16	4.6 x 2.6 mm	400 psi	33.0 N (7.4 lbs)	0/16	0/16

表3: eGaNデバイスのせん断テスト結果。小型および比較的大型のeGaNデバイスは、機械的故障がなく、高い背面圧力下でテストされ、温度、湿度、バイアスの下のストレス・テスト後に故障が発生することはありませんでした。

### 6.3 曲げ力テスト

曲げ力テストの目的は、取り扱い、組み立て、または操作中に発生する可能性のあるプリント回路基板のたわみに耐えるeGaN FETの能力を判断することです。このテスト規格は、表面実装の受動部品 (AEC-Q200) [22] 向けに開発されましたが、多くのユーザーは、2つの主な理由からeGaN FETの曲げ力について関心を持っています。すなわち、(1) ウエハーレベルのチップスケール・パッケージ (WLCSP) のはんだ接合の耐久性;そして (2) デバイスのパラメータを変え、望ましくない回路動作にさせる可能性のあるFET内の圧電効果。

これらの関心に対応するために、EPCはAEC-Q200-005Aテスト規格 [23] に従って、4個のEPC2206で曲げ力テストを実施しました。図28が、テスト設定の概略図です。デバイスは、FR4プリント回路基板 (長さ100 mm×幅40 mm×厚さ1.6 mm) の中央付近に実装されています。両端がしっかりと固定されている状態で、デバイスの反対側に圧力が加えられ、プリント回路基板が上向きにたわみます。この屈曲状態で60秒間保持した後、すべてのデバイスの電気的パラメータを測定します。

Q200-005Aテスト規格では、プリント回路基板のたわみが2 mmの場合、圧力を1回だけ加えます。ただし、当社が実施した故障するまでのテストで得た哲学の一環として、デバイスは、徐々に増加する4種のたわみ (2 mm、4 mm、6 mm、8 mm) でテストしました。4 mmのたわみを実現するには、240 N (25 kg) の極端な力が必要です。各圧力レベルで、60秒間の継続期間の後、すべてのデバイス・パラメータが (屈曲しながら) 測定されました。

表4は、テスト対象の4個のデバイスすべての正規化された $R_{DS(on)}$ と基板のたわみの関係を示しています。すべてのデバイスが2 mmのテスト条件に合格しました。2個のデバイスは6 mmのたわみで故障しましたが、残りの2個は8 mmまで生き残りました。事後分析によって、故障モードは、はんだ接合の亀裂であり、ゲート接続がオープンになったことが明らかになりました。故障するまで、 $R_{DS(on)}$ は基板のたわみに対して、感知できるほどの反応を示しませんでした。同じことが $V_{TH}$ や漏れ電流 $I_{DSS}$ のような他の電気的特性でも観察されました。

曲げ力の下での故障モードと電気的応答について、さらなる洞察を得るために、プリント回路基板に実装したEPC2206の完全な機械モデルを使って、有限要素 (FEA) シミュレーションを実行しました。これらのシミュレーションでは、デバイス内部の機械的たわみ、応力/歪み、および圧電応答を計算します。

図29は、6 mmのたわみに対応する曲げ力に対するEPC2206のはんだ接合の縦応力を示しています。(応力はプリント回路基板に垂直な軸に沿って測定されます)。見て分かるように、はんだバーの外縁は、高い引張応力を受けますが、内縁は圧縮されています。ピーク引張応力は、約 $6 \times 10^8$  N/m<sup>2</sup>に達します。これは、SAC305はんだで示された引張降伏応力の限界 (約 $3 \times 10^8$  N/m<sup>2</sup>) を超えています。これは、6 mmのたわみで故障する2個の部品で観察されたはんだ接合の亀裂を説明しています。

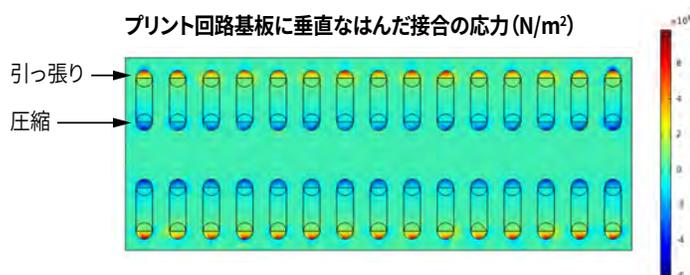


図29: プリント回路基板の平面に垂直な方向に沿ったEPC2206のはんだ接合の縦応力のFEMシミュレーション (6 mmのたわみ曲げ力)。はんだバーの外縁は、はんだ接合の降伏応力の限界近くで高い引張応力を受けます。

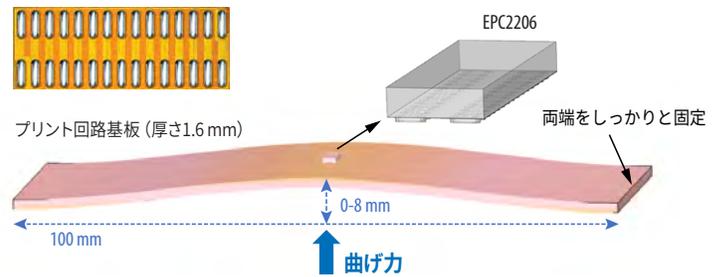


図28: EPC2206の曲げ力テスト (AEC-Q200-005A) の概略図。基板の裏面に圧力が加えられます。圧力は、0~8 mmの範囲の規定された中心点のたわみを実現するように調整されます。

	0 mm	2 mm	4 mm	6 mm	8 mm
DUT1	1.00	1.01	1.00	0.98	0.98
DUT2	1.00	1.02	1.01	故障	-
DUT3	1.00	1.01	1.03	故障	-
DUT4	1.00	0.99	0.99	1.03	1.04

表4: 曲げ力テスト中の4個のデバイスの正規化された $R_{DS(on)}$ と基板のたわみ。値は、屈曲していない場合の $R_{DS(on)}$ に正規化されています。4個のデバイスのうち2個は、6 mmのたわみで故障しましたが、残りの2個のデバイスは8 mmで生き残りました。どのデバイス・パラメータでも、応力への有意な反応は見られませんでした。

AlGaIn/GaN HEMTの圧電分極と自発分極は、デバイスの動作に一次的な影響を及ぼします。実際、AlGaIn/GaN界面の分極シート電荷 (約 $1.0 \times 10^{13}$  e-/cm<sup>2</sup>) は、eGaN FETの2DEGチャネルの高い電子密度に直接関与しています。この電荷は、 $V_{TH}$ および $R_{DS(on)}$ に直接 (線形) 影響を及ぼします。この結果、多くのユーザーは、曲げテストなど、部品に機械的応力が加わったときに、圧電によって引き起こされるデバイス・パラメータの変化の影響について懸念を抱いています。

この懸念に対処するために、FEAを使って、基板の曲げ実験によって引き起こされた極端な歪みの結果として、AlGaIn/GaNヘテロ接合での分極シート電荷の変化を計算しました。シート電荷の変化は、次の方法で計算されます:

$$\Delta P_z = e_{zz}\epsilon_z + e_{zx}(\epsilon_x + \epsilon_y)$$

$$e_{zz} = 0.183 \text{ C/m}^2$$

式5

$$e_{zx} = e_{zy} = -0.0275 \text{ C/m}^2$$

ここで、 $\epsilon_z$ は (ウルツ鉱) c軸に沿った歪み、 $\epsilon_x$ と $\epsilon_y$ は2DEGの平面内の歪みです。有効な圧電定数 $e_{zz}$ と $e_{zx}$ は、Bernardini氏らのab-initio計算から得られたように、GaInとAlGaInの間の圧電係数の違いを考慮することから導き出されます [24] (単位はクーロン/m<sup>2</sup>)。

図30は、極端な(4 mm)基板のたわみの結果として、EPC2206内の分極シート電荷のわずかな変化を示しています。このレベルの機械的応力では、はんだ接合は、亀裂に対する破損のしきい値をわずかに下回ります。分極は、 $1.0 \times 10^{13}$  e-/cm<sup>2</sup>の組み込まれた(ゼロ歪み)シート電荷に正規化されます。圧電電荷の面積当たりの変化の平均は-0.3%以下ですが、ピークの変化は、はんだバーのすぐ近くで約0.8%です。圧電分極のこれらの変化は小さすぎて、デバイス・パラメータ $V_{TH}$ または $R_{DS(on)}$ に観察可能な変化を生じません。これは、これらのパラメータがどの曲げ応力状態でも変化することが観察されなかった理由を説明しています。圧電性はeGaN FETのデバイス物理において重要な役割を果たしますが、デバイスの動作に大きな変化を引き起こすために、十分な機械的歪みをFET内に発生させることは、事実上不可能です。この結果、振動や基板のたわみによって引き起こされる一般的な応力では、動作中のFETに対して、任意の回路の問題を生じません。

### 圧電シート電荷のわずかな変化

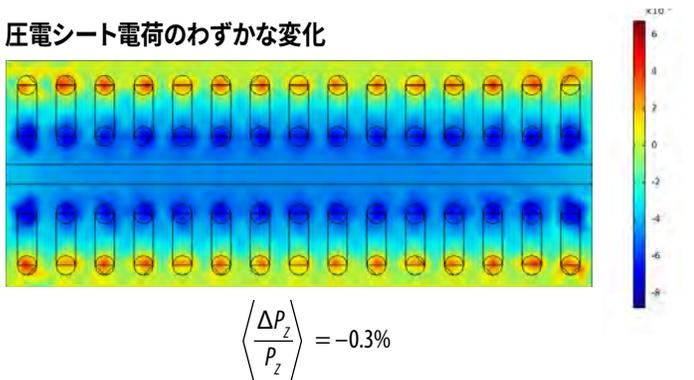


図30: 基板の4 mmのたわみによる歪みの下でのEPC2206の圧電シート電荷の割合の変化。圧電電荷の面積当たりの平均の変化は-0.3%以下ですが、変化のピークは、はんだバーのすぐ近くで約0.8%です。圧電分極のこれらの変化は小さすぎて、デバイス・パラメータ $V_{TH}$ と $R_{DS(on)}$ に観察可能な変化は生じません。

### セクション7: はんだ付け性

eGaN FETとICは、ウエハーレベルのチップスケール(WLCPS)・パッケージで提供され、プリント回路基板に直接、表面実装できるように、露出したはんだパッド(ボールまたはバー)を備えています。この点で、WLCPSパッケージは、はんだリードが「事前に錫メッキ」されている標準パッケージに似ています。多くのユーザーから、これらははんだ端子の長期的な信頼性について、特にチップを実装する前に長期間保管した場合についての問い合わせがありました。主な懸念は、露出したはんだ表面の酸化またはその他の腐食が、最終アセンブリ中のはんだの適切な流れや湿潤を妨げる可能性があることです。

このリスクを評価するために、EPCは、3個のディスクリットeGaN FETと1個のICで広範なはんだ付け性テストを実施しました。これは、ボール・グリッド・アレイ(BGA)とランド・グリッド・アレイ(LGA)のデバイスの両方を代表しています。このテストは、J-STD-002E Test Method S1(2017年11月)[25]に従って実施しました。基本的なテスト・シーケンスは次のとおりです:

1. 初期目視検査
2. はんだ仕上げの経年劣化を加速するための高温多湿での水蒸気の前処理
3. 周囲温度まで風乾します
4. セラミック基板への表面実装(リフロー)
5. 基板からのチップの除去と最終的な目視検査

加速した経年劣化ステップ(ステップ#2)では、チップを93°C、相対湿度100%に8時間、曝しました。これは、J-STD002E規格で2番目に厳しい前処理ストレス(「カテゴリーC」)に対応します。続いて、チップを周囲温度で最低15分間、風乾します。

表面実装ステップ(ステップ#4)の場合、このテスト基板は、トラックやランドのないセラミックの非金属ブロック(100 mm×100 mm×厚さ0.635 mm)でした。SAC305はんだペースト(千住金属工業のM705-S70G)は、各製品のデータシートの推奨図に従って、レーザー加工されたステンシル(厚さ100 μm)を使って基板上に押し付けました。はんだフラックスは、低活性ロジン・タイプ(ROL0)です。ピック・アンド・プレース装置を使って、チップを基板上に配置し、続いてマルチゾーン・リフロー・オープンを使ってリフローしました。リフロー中のピーク温度は250°Cで、230°C以上で60秒間滞留しました。リフロー後、適切な有機溶剤を使ってフラックスを完全に除去します。図31に、eGaN ICのEPC2715の表面実装プロセスを示します。



図31: (左図) セラミック基板に押し付けられたはんだステンシル・パターン。(右図) 基板へのリフロー後のEPC2715。

最後のステップ(ステップ#5)では、セラミック基板へのはんだの付着が少ないことを利用して、基板からチップを取り外しました。この時点で、チップのはんだ端子は、30倍の光学顕微鏡で検査されます。合格するには、すべてのはんだボール/バーに、はんだペーストが含まれていなければなりません。すなわち、はんだのはじきや濡れがなく、ピン・ホールのない均一で滑らかなはんだが残っていることとなります。図32に、はんだ付け性テスト前後のEPC2206とEPC2214のはんだパッドを示します。

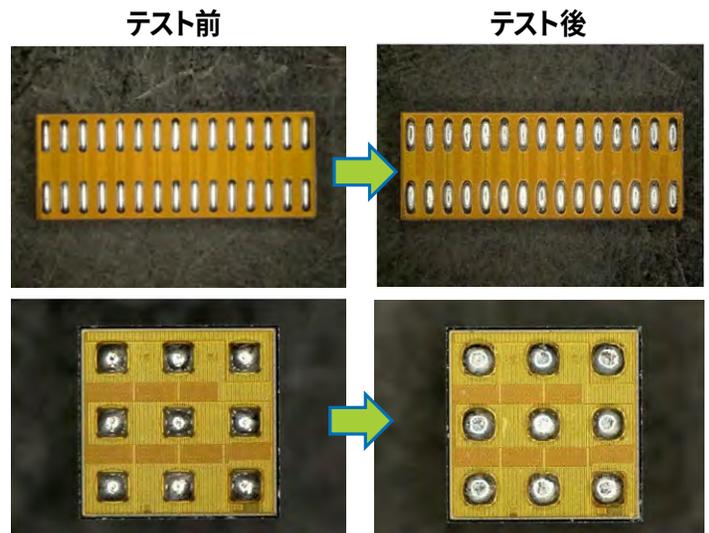


図32: はんだ付け性テスト前後のEPC2206とEPC2214のはんだパッド。はんだペーストが含まれているため、視覚的な欠陥がなく、滑らかで均一な仕上がりに注意してください。

表5は、3種のディスクリートeGaN FET (EPC2206、EPC2214、EPC2001) と1種のIC (EPC2715) のはんだ付け性の結果です。すべてのテストは、認定されたテスト施設 (台湾のIST) で独立して実施しました。EPC2001の場合、非シーケンシャル・デバイスの11個のロットをテストし、eGaNのWLCSパッケージのはんだバンプのプロセスの変動をチェックしました。いずれの場合も、はんだ付け性テスト中に不良品は発生しませんでした。このテスト・マトリックスに基づいて、すべてのeGaNのWLCSパッケージ製品が優れた長期はんだ付け性を提供すると結論付けました。

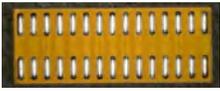
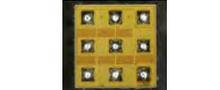
eGaN FET/IC	はんだ実装面	種類	テスト数	不良品数
EPC2206 (ディスクリート)		LGA (2 x 15)	10	0
EPC2206 (ディスクリート)		BGA (3 x 3)	10	0
DUT3		BGA (4 x 6)	10	0
EPC2001 (ディスクリート)		LGA (1 x 10)	77 (11チップ× 7ロット)	0

表5: eGaNFETとICのはんだ付け性テスト・マトリックス。  
すべての製品がJ-STD-002E Test Method S1に合格しています。

## セクション8: 熱機械的応力

eGaN FETは、AECまたはJEDECの規格に従ってテストすると、優れた熱機械的信頼性があります。これは、「パッケージ」の本質的な単純さ、および、ワイヤー・ボンド、異種材料、成形材料を使っていないこと、によるものです。要約すると、すべてのeGaN FETは、ベア・チップ形式で-55°C~150°Cで利用できます。

部品レベル的信頼性に加えて、コンピュータ/通信産業向け電力変換器に関する業界規格 IPC-9592のような業界固有の規格や、プリント回路基板に実装された部品にシステムや基板レベルのテストを課すOEM (相手先ブランドによる生産) 環境要件があります。これらの中には、eGaN FETなどの表面実装部品、特に部品と基板の間のはんだ接合に深刻な熱機械的応力を誘発する組み合わせが常に存在します。例えば、IPC-9592規格の最も厳しい温度サイクル要件 (クラスIIカテゴリー-2) では、サンプル数30ユニットで、-40°C~125°Cを700サイクル実施して、故障しないことが要求されます。

はんだ装着の信頼性は、プリント回路基板のレイアウト、設計と材料、センプリ工程、動作中のヒートシンク・ソリューション、アプリケーションの性質など、デバイスによらないいくつかの要因に依存します。したがって、特定のアプリケーションにおいて、故障までの時間を予測するための正確なモデルを提供することは、実行不可能で非現実的と言えます。それ

にもかかわらず、過去に、EPCは、歪みエネルギー密度と疲労寿命の相関関係に基づいて、はんだ接合の故障までの時間を予測するモデルを公開しました [9]。

このレポートでは、さまざまな条件下におけるより多くの温度サイクルと断続動作寿命IOL (電力温度サイクルとも呼ばれます) の結果を示します。さらに、このセクションでは、アンダーフィル材料を使って、はんだ接合の信頼性を向上させる方法に関するデータと分析を提供します。アンダーフィルは、表面実装デバイスを最も過酷な環境条件に曝す可能性のあるアプリケーションで一般的に使われます。

eGaN FETの適切な動作を保証するために、アンダーフィルは必要ないことを強調することが重要です。実際、EPCは、アンダーフィルなしでFR4基板に実装された被試験デバイスを使って、製品認定中に、ほとんどの信頼性テストを実施します。このテストのリストには、HTRB (High Temperature Reverse Bias: 高温逆バイアス)、HTGB (High Temperature Gate Bias: 高温ゲート・バイアス)、H3TRB (High Temperature High Humidity Reverse Bias: 高温高湿逆バイアス)、uHAST (Unbiased highly accelerated test: バイアスなしの高加速試験)、MSL1 (Moisture Sensitivity Level 1: 耐湿性レベル1)、IOL (Intermittent Operating Life: 断続動作寿命)、HTOL (High Temperature Operating Life: 高温動作寿命試験)、ELFR (Early Life Failure Rate: 初期寿命故障率)、HTS (High Temperature Storage: 高温保存)、および、多くの場合TC (Temperature Cycling: 温度サイクル) が含まれます。とはいえ、アンダーフィルは、チップとプリント回路基板の間の熱膨張係数 (CTE) の不一致に起因するはんだ接合へのストレスを軽減するため、基板レベルの信頼性を向上させるために使えるかもしれません。さらに、アンダーフィルは、厳しい沿面距離とクリアランス要件がある場合に、汚染保護と、電氣的絶縁に貢献します。最後に、アンダーフィルは、使われる材料の熱伝導率が空気よりも大きい場合、接合部から基板への熱インピーダンスの低減にも役立ちますが、通常の熱伝導性材料TIM (thermal interface material) ほど大きくはありません。アンダーフィル材料の選択を誤ると、はんだ接合の信頼性も低下する可能性があることに注意してください。したがって、このセクションでは、シミュレーションと実験結果に基づいたガイドラインを提供します。

### 8.1 適切なアンダーフィルを選択するための基準

アンダーフィル材料の選択では、材料のいくつかの重要な特性と、チップとはんだの相互接続を考慮しなければなりません。まず第1に、アンダーフィル材料のガラス転移温度Tgは、アプリケーションの最大動作温度よりも高くなければなりません。次に、アンダーフィルのCTEは、はんだ接合の余分な引張/圧縮応力を回避するために、両方が同じ速度で膨張/収縮しなければならないため、はんだのCTEにできるだけ近い必要があります。参考までに、一般的な鉛フリー-SAC305やSn63/Pb37のCTEは約23 ppm/°Cです。ガラス転移温度Tgを超えて動作すると、CTEが劇的に大きくなることに注意してください。TgとCTEに加えて、ヤング率も重要です。非常に硬いアンダーフィルは、はんだバンプのせん断応力を減らすことに役立ちますが、このセクションの後半で示すように、デバイスの角の応力が増加します。低粘度 (チップの下のアンダーフィルのフローを改善するため) と高い熱伝導率も望ましい特性です。表6は、この調査でテストされたアンダーフィルの主な材料特性を比較しています。

メーカー名	型番	CTE (ppm/°C)			貯蔵弾性率 (DMA) @ 25°C (N/mm <sup>2</sup> )	粘度 @ 25°C	ポアソン比	体積抵抗率	熱伝導率	絶縁耐力
		Tg (TMA)	Tg 以下	Tg 以上						
独ヘンケルのLOCTITE	ECCOBOND UF 1173	160	26	103	6000	7.5 Pa*s				
ナミックス	U8437-2	137	32	100	8500	40 Pa*s	0.33	>1E15 Ω-cm	0.67 W/mK	
ナミックス	XS8410-406	138	19	70	13000	30 Pa*s				
米MASTERBOND	EP3UF	70	25-30	75-120	3400	10-40 Pa*s	0.3	>1E14 Ω-cm	1.4 W/mK	450 V/mil
米AI TECHNOLOGY	MC7885-UF	236	20		7500	10 Pa*s		>1E14 Ω-cm	1 W/mK	750 V/mil
米AI TECHNOLOGY	MC7885-UF5	175	25		7500	10 Pa*s		>1E14 Ω-cm	2 W/mK	1000 V/mil

表6: アンダーフィルの材料特性

### 8.2 温度サイクル下でのアンダーフィル調査

このセクションでは、前述のアンダーフィル材料を使った場合と使わない場合の2つの異なる条件下でのさまざまなeGaN FETの温度サイクル (TC) の結果を示します。2つの温度サイクル範囲がテストされました。すなわち、(i)  $-40^{\circ}\text{C}\sim 125^{\circ}\text{C}$ と、(ii)  $-55^{\circ}\text{C}\sim 150^{\circ}\text{C}$ です。すべての場合において、部品は2層、厚さ1.6 mmのFR4基板で構成されるDUTのカードやクーポンに実装しました。SAC305はんだペーストと水溶性フラックスを使って、アンダーフィルの前にフラックス洗浄プロセスを行いました。いくつかのテストは現在も進行中です。これらの結果は、故障が蓄積するにつれて更新されます。EPC2001CとEPC2053の温度サイクル・データを表7~10に示し、EPC2206の結果を図33のワイブル・プロットで示します。

両方の温度範囲で、ナミックスのアンダーフィル (U8437-2\_Nおよび8410-406B) は、アンダーフィルがない場合と比べて、寿命に大きな利点があります。同じことがヘンケル (UF1137\_H) にも当てはまります。一方、Master BondのEP3UFは信頼性を低下させることが分かりました。これは主に、Tgが低いためであると考えられます。これは、すべての当社の調査で、アンダーフィルがガラス転移温度をはるかに超えて実施したからです。ただし、材料特性に基づくと、Master BondのEP3UFは $70^{\circ}\text{C}$ 以下にとどまるアプリケーションに適した候補である可能性があります。

製品/DOE	EPC2001C										
	状態	300 サイクル	550 サイクル	850 サイクル	1000 サイクル	1250 サイクル	1550 サイクル	1750 サイクル	1950 サイクル	2150 サイクル	2450 サイクル
アンダーフィルなし	完了	0/32 故障	0/32 故障	0/32 故障	0/32 故障	2/32 故障	5/32 故障	8/32 故障	15/32 故障	20/32 故障	26/32 故障
	継続中	0/32 故障	0/32 故障	0/32 故障	0/32 故障						
ヘンケルのUF1137_H	継続中	0/40 故障	0/40 故障	0/40 故障	0/40 故障	0/40 故障					
MasterbondのEP3UF_M	継続中	0/40 故障	0/40 故障	14/40 故障	31/40 故障						
MC7685-UF	完了	0/32 故障	0/32 故障	0/32 故障	0/32 故障	1/32 故障	2/32 故障	2/32 故障	3/32 故障	6/32 故障	14/32 故障
MC7885-UF	完了	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	1/32 故障	4/32 故障
ナミックスの8410-406B	完了	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障
ナミックスのU8437-2_N	完了	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障
	継続中	0/80 故障	0/80 故障	0/80 故障	0/80 故障	0/80 故障					

表7: EPC2001Cの $-40^{\circ}\text{C}\sim 125^{\circ}\text{C}$ の温度サイクルの結果

製品/DOE	EPC2053										
	状態	300 サイクル	550 サイクル	850 サイクル	1000 サイクル	1250 サイクル	1550 サイクル	1750 サイクル	1950 サイクル	2150 サイクル	2450 サイクル
アンダーフィルなし	完了	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	2/32 故障	3/32 故障	3/32 故障	3/32 故障
ヘンケルのUF1137_H	継続中	0/40 故障	0/40 故障	0/40 故障	0/40 故障	0/40 故障					
MasterbondのEP3UF_M	継続中	1/40 故障	7/40 故障	15/40 故障	25/40 故障	39/40 故障					
MC7685-UF	完了	0/32 故障	0/32 故障	0/32 故障	1/32 故障	17/32 故障	32/32 故障	32/32 故障			
MC7885-UF	完了	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	1/32 故障	1/32 故障	1/32 故障
ナミックスの8410-406B	完了	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障
ナミックスのU8437-2_N	完了	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障
	継続中	0/40 故障	0/40 故障	0/40 故障	0/40 故障	0/40 故障					

表8: EPC2053の $-40^{\circ}\text{C}\sim 125^{\circ}\text{C}$ の温度サイクルの結果

製品/DOE	EPC2001C					
	状態	300 サイクル	600 サイクル	900 サイクル	1100 サイクル	1300 サイクル
アンダーフィルなし	完了	0/16 故障	0/16 故障	1/16 故障	1/16 故障	2/16 故障
ヘンケルのUF1137_H	継続中	0/20 故障	0/20 故障	0/20 故障	1/20 故障	
MasterbondのEP3UF_M	継続中	0/20 故障	0/20 故障	4/20 故障	6/20 故障	
MC7685-UF	完了	0/16 故障	0/16 故障	0/16 故障	1/16 故障	1/16 故障
MC7885-UF	完了	0/16 故障	0/16 故障	0/16 故障	0/16 故障	0/16 故障
ナミックスの8410-406B	完了	0/16 故障	0/16 故障	0/16 故障	0/16 故障	0/16 故障
ナミックスのU8437-2_N	完了	0/16 故障	0/16 故障	0/16 故障	0/16 故障	0/16 故障
	継続中	0/20 故障	0/20 故障	0/20 故障	0/20 故障	

表9: EPC2001Cの $-55^{\circ}\text{C}\sim 150^{\circ}\text{C}$ の温度サイクルの結果

製品/DOE	EPC2053					
	状態	300 サイクル	600 サイクル	900 サイクル	1100 サイクル	1300 サイクル
アンダーフィルなし	完了	0/16 故障	0/16 故障	0/16 故障	0/16 故障	1/16 故障
ヘンケルのUF1137_H	継続中	0/20 故障	0/20 故障	0/20 故障	0/20 故障	
MasterbondのEP3UF_M	継続中	5/20 故障	15/20 故障			
MC7685-UF	完了	1/16 故障	9/16 故障	13/16 故障		
MC7885-UF	完了	2/16 故障	1/16 故障	7/16 故障		
ナミックスの8410-406B	完了	0/16 故障	0/16 故障	0/16 故障	0/16 故障	0/16 故障
ナミックスのU8437-2_N	完了	0/16 故障	0/16 故障	0/16 故障	0/16 故障	0/16 故障

表10: EPC2053の $-55^{\circ}\text{C}\sim 150^{\circ}\text{C}$ の温度サイクルの結果

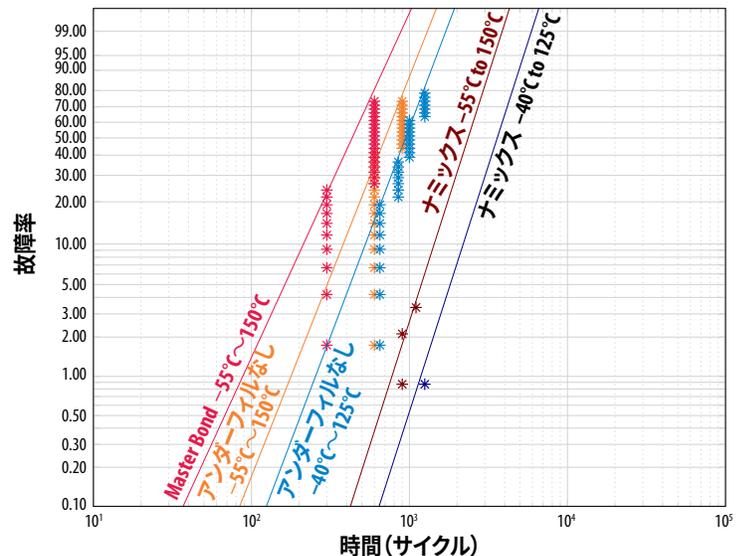
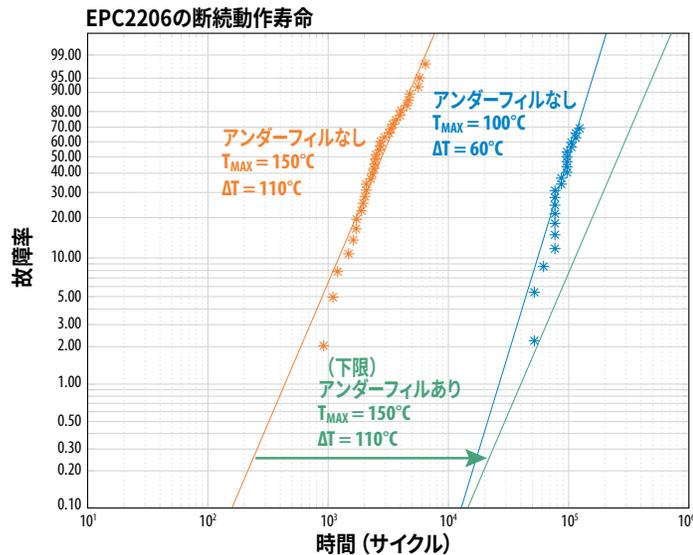


図33: EPC2206の温度サイクルの結果のワイブル・プロット

### 8.3 断続動作寿命の調査

温度サイクルTCでは、デバイスとプリント回路基板の両方が、周囲温度を循環させるチャンバ内に配置され、アセンブリ全体で等温温度変化になるようにします。断続動作寿命 (IOL: Intermittent Operating Life) では、デバイス内部で電力を消費することで温度上昇を実現します。従って、IOLでは、デバイスと、チップの近くのプリント回路基板のみの温度が変わります。この結果、eGaN FETとプリント回路基板の間のCTE (熱膨張率) の不一致に起因するはんだ接合の応力は、温度サイクルの場合ほど大きくありません。ただし、完全なサイクルを完了する時間は、TCよりもはるかに速くなります (IOLは、電力温度サイクルとも呼ばれる場合があることに注意してください)。

図34は、2つの異なる条件下で、故障するまでテストしたEPC2206の32個のサンプルのグループの結果です。すべての場合において、各サイクルは、30秒の加熱期間と、それに続く、さらに30秒の冷却期間で構成しました。図34では、青色の情報は40°Cと100°Cの間で循環したデバイスを示し、オレンジ色の情報は40°Cと150°Cの間で循環したデバイスを示しています。いずれの場合も、はんだ疲労が唯一の故障メカニズムであるため、ワイブル適合の傾きは、ほぼ同じでした。ただし、平均故障間隔は、各サイクル中に到達した $\Delta T$ と $T_{max}$ によって大幅に加速されました。



注: アンダーフィル (ナミックのU8437-2) の部品は、5万3000サイクル後も故障が発生せずに、まだテスト中なので、緑色のワイブル「適合」は下限を表します。

図34: EPC2206の断続動作寿命の結果のワイブル・プロット

さらに、アンダーフィルにナミックのU8437-2を使った部品の3番目のグループが、40°C~150°Cの間でサイクルを開始しました。5万3000サイクル後、故障は観測されませんでした。図34の緑色の線は、5万3001サイクル後に、1つの故障を想定しているため、このアンダーフィルの性能の下限と見なすことができます。明らかに、TCの調査で分かったように、ナミックのアンダーフィルは、周期的な温度ストレス下での寿命の大幅な改善 (100倍以上) に貢献することが分かりました。

### 8.4 有限要素解析

アンダーフィルを使う場合の熱機械的信頼性に影響を与える重要な要因をより深く理解するために、温度サイクルのストレスの下でのEPC2206の有限要素シミュレーションを実施しました。図35は、この分析に使われたシミュレーションの構成です。このチップは1.6 mmのFR4プリント回路基板上に配置され、温度変化は、ニュートラル (ストレス・フリー) 状態よりも $\Delta T = +100^\circ\text{C}$ 高くなります。ヤング率とCTEの2つの主要なアンダーフィル・パラメータを変えました。図に示すように、応力は、示されている切断線に沿って分析され、はんだバー、チップ、アンダーフィル内の応力を可視化します。

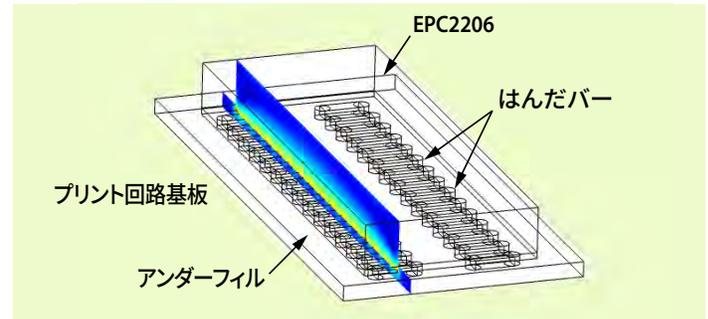


図35: 温度サイクルのストレスの下でのEPC2206内部の応力の有限要素解析シミュレーションの構成。1.6 mmのFR4プリント回路基板上にアンダーフィルと共に配置したチップ。応力は、示されている切断線に沿って分析します。

下の図36は、切断線に沿った最も端のはんだバーのフォン・ミーゼス応力[26]、つまりピークせん断応力を示しています。分かりやすくするために、はんだバーの応力のみを示しています。さらに、接合部のせん断変位を示すために、機械的変形は、20倍誇張されています。アンダーフィルのヤング率 (E) またはCTEを変えることによって、4つの異なるアンダーフィル条件をシミュレーションしました。

見て分かるように、アンダーフィルなしの場合のはんだバーは、はるかに極端なせん断応力と変形になっています。アンダーフィルを追加すると、接合部からの応力が大幅に軽減され、Eが大きいほど、接合部の応力が小さくなります。はんだ接合とのCTEマッチングが不十分なアンダーフィルの場合、接合部に応力が発生する可能性もあります。

#### 最も端のはんだ接合部のフォン・ミーゼス応力

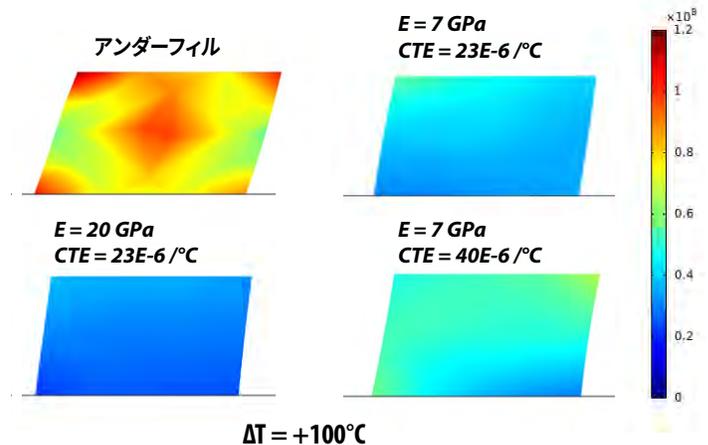


図36:  $\Delta T = +100^\circ\text{C}$ の温度サイクル変化の下での最も端のはんだバーのフォン・ミーゼス応力 (ピークせん断応力)。アンダーフィルのヤング率 (E) を変え、CTEも変えて、4つの異なるアンダーフィル条件をシミュレーションしました。機械的変形は、すべての場合で20倍誇張されていることに注意してください。

図37は、同じ4つの条件を示していますが、今回は、フォン・ミーゼス応力がチップとアンダーフィルにも示されています。見て分かるように、ヤング率が大きい場合は、はんだ接合部の応力は小さくなりますが、チップ内部と、チップの端の近くのアンダーフィルの応力は大きくなります。これらの大きい応力は、デバイス内部の亀裂や最終的な故障につながる可能性があります。

FEA解析では、約6~13 GPaの範囲で最適なヤング率があり、はんだ接合の保護とチップの端の保護の間に適切な妥協点があることが示されています。CTEに関しては、分析によって、アンダーフィルの大きいCTE (32以上) は避ける必要があることが示されています。

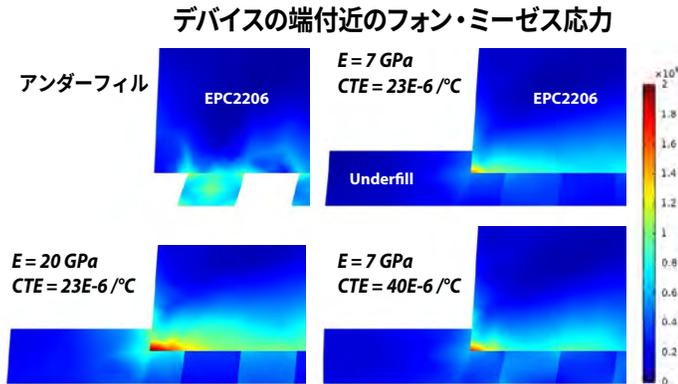


図37:  $\Delta T = +100^\circ\text{C}$ の温度サイクル変化の下での最も端のはんだバーのフォン・ミーゼス応力 (ピークせん断応力)。アンダーフィルのヤング率 (E) を変え、CTEも変えて、4つの異なるアンダーフィル条件をシミュレーションしました。各画像で同じ縮尺で変形が誇張されていることに注意してください。

## 8.5 アンダーフィルを選択するためのガイドライン

eGaN FETで使うアンダーフィルを選択するための主なガイドラインが以下です:

- アンダーフィルのCTEは、はんだ接合部のCTE (24 ppm/ $^\circ\text{C}$ ) を中心として、16~32 ppm/ $^\circ\text{C}$ の範囲内でなければなりません。この範囲内では、チップとプリント回路基板に、より良いマッチングを提供するため、より小さい値を推奨します。
- ガラス転移温度 (Tg) は、最大動作温度を十分に上回っていなければなりません。Tgを超えて動作すると、アンダーフィルは剛性を失い、はんだ接合を保護しなくなります。
- 6~13 GPaの範囲のヤング (または貯蔵) 弾性率。弾性率が小さいすぎると、アンダーフィルは、それに対応して、はんだ接合部からの応力を緩和しません。大きすぎると、大きな応力がチップの端に集中し始めます。

この調査の実験結果から、ヘンケルのUF1137\_H、およびナミックスの8410-406BとU8437-2\_Nのアンダーフィルは、eGaN FETと共に使ったときに、熱機械的信頼性を大幅に向上させます。

## セクション9: フィールド信頼性の更新

すべての信頼性テスト、および故障するまでのテストのプロジェクトは、さまざまな実際のフィールド運用経験の下で、耐久性の高いGaNオン・シリコン技術に基づいて、製品ファミリーの開発において、継続的に改善することを目的としています。2017年1月から2020年12月までの4年間で2260億時間運用し、そのほとんどが自動車や通信基地局で使われており、故障した部品は、わずか3個だけでした。これらの3個の部品は、製造上の欠陥 (外因性の欠陥) が原因で故障しましたが、その後、解消されました。この結果は、シリコン・パワー・デバイスでは比類のないものです。

## セクション10: フェーズ12の信頼性レポートの結論

eGaNデバイスは、11年以上にわたって大量生産されており、いくつか例を挙げれば、自動運転車のLidar、4G基地局、車両のヘッドランプ、衛星などで、実験室でのテストやユーザーのアプリケーションの両方で非常に高い信頼性を示しています。EPCは、すべてのストレス条件で固有の故障メカニズムとその動作を分離するために、故障するまでのテストを積極的に追求し続けます。この情報は、電力変換用途向けのより丈夫で高性能、低コストの製品を生み出すために使われています。

## 付録A:ゲート寿命モデルの物理ベースの導出

この付録では、高いゲート・バイアス下でのeGaNFETの故障の物理を説明するための理論と、対応する寿命モデルを示します。この結果は、さまざまな条件下での信頼性を推定するための実用的な方程式です。この式は、Si MOSFETの一般的な信頼性モデルから借用するのではなく、eGaNゲートの独自のデバイス物理に適用され、導き出されています。

この理論の基礎を築くために、EPCはゲート故障の根本原因を明らかにすることを目的とした多くの基本的な実験を実施しました。1つは、より大きなサンプル・サイズとストレス持続時間を採用したEPC2212のより包括的なゲート加速調査が実施されたことです。最も低い電圧のレッグでは、合計ストレス期間が2000時間を超えたため、より多くの故障が発生し、統計的信頼区間が厳しくなりました。さらに、 $\text{Si}_3\text{N}_4$ 誘電体層の破壊強度は、専用のテスト構成と交互の電界方向を使って徹底的に特徴付けられました。最後に、電界発光 (EL : electro-luminescence) の調査が、壊滅的なゲート破壊に至るまでの時間的な力学を理解するためにデバイスに対して実施されました。

eGaN FETのゲート故障の良好なモデルには、次の重要な観察事項を考慮する必要があります：

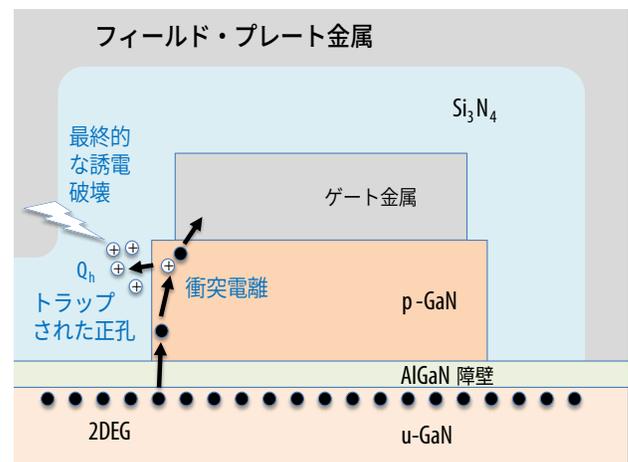
- p-GaNゲートの側壁にまたがる $\text{Si}_3\text{N}_4$ に絶縁破壊が観察されます。この故障は、ソースまたはドレインの側壁で発生する可能性があります。
- 同じ $\text{Si}_3\text{N}_4$ 膜は、p-GaNゲートから絶縁されたテスト構成で測定したとき、10 Vのゲート・ストレス中に発生する電界強度よりもはるかに大きい(6倍)電界強度まで故障しません。これは、誘電体内の電界の極性に関係なく当てはまります。
- ゲートの故障率は負の温度係数を示しています。ゲートの漏れと酸化膜の経時的絶縁破壊TDDB (Time Dependent Dielectric Breakdown) の両方が通常、正の温度係数を示すため、これは驚くべきことです。
- 測定されたMTTFは、ゲート・バイアスで非常に高い加速を示します。さらに、限界加速は、ゲート・バイアスに対して一定ではなく、単純な指数加速の法則と矛盾します。この加速は $V_{GS}$ が低いほど急で、バイアスが高いと横ばいになります。
- 高エネルギー (2 eV以上) の光子放出は、ゲートの故障に至るまでの時間間隔で、ゲートに沿った局所的な点で見られます。その後の故障解析では、まったく同じ場所での誘電体の破壊が明らかになりました。

これらの観察をまとめた結果として、EPCは、多段階プロセスが高 $V_{GS}$ でのゲート故障の原因であると理論付けました。このプロセスは、図A1に概略的に示されています。最初のステップでは、電子が2DEGからp-GaNゲート層に注入されます。それらは、AlGaInヘテロ障壁にわたってトンネリングまたは熱電子放出を介して注入されます[A1]。いったんp-GaN層内に入ると、電子は電界から急速にエネルギーを獲得し、一部は衝突電離を引き起こすために十分なエネルギーを獲得します。これによって、特にゲート金属のすぐ下の高電界領域で、電子-正孔対が生成されます。

このプロセスの2番目のステップでは、電界の影響下で正孔がゲート金属から離れます。ゲートの側壁の近くで、ある割合の正孔が $\text{Si}_3\text{N}_4$ 誘電体内に散乱し、そこで深い状態でトラップされます。このプロセスは、 $\text{Si}_3\text{N}_4/\text{GaN}$ 界面がタイプIIスタaggerド・バンド・アラインメント [A2] [A3]を持ち、 $\text{Si}_3\text{N}_4$ の価電子帯の最大値がGaNよりも高いという事実によって説明されます。これは、界面近くのGaNに生成された正孔には、誘電体への放出に対する障壁がない(または低い)ことを意味します。

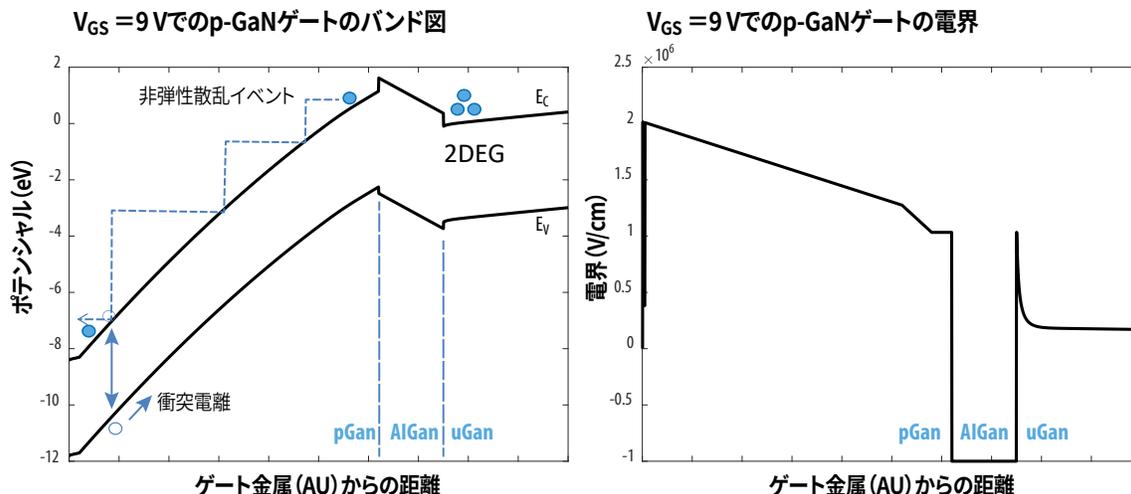
このプロセスの最終ステップでは、正孔が誘電体にトラップされ、正電荷密度 $Q_h$ が増加します。この電荷は、次に、金属フィールド・プレートとゲート側壁の近くのゲート金属との間の誘電体における電界の増加をもたらします。この電荷密度が臨界密度 ( $Q_c$ ) に達すると、誘電体が破壊され、ゲートの故障解析で観察される側壁付近の壊滅的な損傷につながります [A4]。

ここで提案する故障モードは、絶縁破壊の故障まで充電するタイプのモデルです。ただし、この電荷は、誘電体自体からの漏れではなく、隣接するp-GaN層の衝突電離によって蓄積されます。したがって、このマルチステップ・プロセスの力学は、GaNの衝突電離の律速ステップによって媒介されます。この結果、ゲート寿命は、次のセクションで説明するGaNの衝突電離の方程式を使ってモデル化できます。



図A1 : eGaNFETのゲート故障メカニズムの概略図。AlGaInフロント障壁をトンネリングする電子の小さな電流がp-GaNゲート領域に入り、ゲート金属に向かって高電界で加速されます。わずかな比率で、特にゲート金属の近くで、衝突電離を引き起こすために十分なエネルギーが得られます。この結果、正孔は、ほとんど一掃されますが、一部は $\text{Si}_3\text{N}_4$ 誘電体層にトラップされて蓄積します。トラップされた正孔密度 $Q_h$ が十分に蓄積されると、電界が誘電体に集中し、最終的に壊滅的な破壊につながります。

図A2 (左図) は、高い順方向バイアス (9 V) 下でのeGaNゲートのバンド図です。この図では、左端がゲート金属に対応し、右側に向かってAlGaIn障壁が見えます。衝突電離による電子-正孔対の生成は、ゲート金属の近くの最も高い電界領域に示されていることに注意してください。図A2 (右図) は、同じ条件でのゲート内の対応する電界をプロットしています。この電界は均一ではなく、ゲート金属の近くで最大に達することに注意してください。9 Vのゲート・バイアスの場合、この電界のピークは2 MV/cmを超えます。この電界強度は、GaIn [A5,A6] で安定した衝突電離 (アバランシェ降伏ではない) を可能にするためには十分です。これは、貫通転位の近く、ストレス集中、または、表面形態の小さな谷など、電界がわずかに集中している可能性がある領域に特に当てはまります。

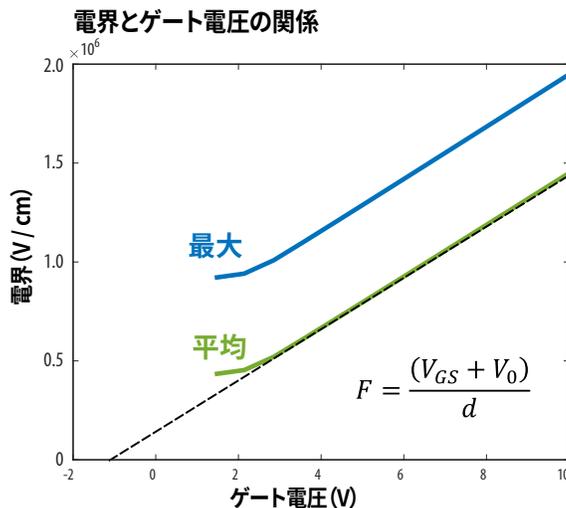


図A2: (左図) 高い順方向バイアス (9V) 下でのeGaNゲートのバンド図。左端はゲート金属に対応します; AlGaInフロント障壁が右側に見えます。電子-正孔対の生成は、ゲート金属近くの高電界領域に示されていることに注意してください。(右図): 同じ条件でのゲート内の電界。電界が均一ではなく、2 MV/cmを超えるピークに達することに注意してください。

### A.1: ゲート電圧への電界依存性

図A3は、順方向ゲート・バイアスの関数としてのp-GaNゲート内のシミュレーションした電界です。最大電界 (ゲート金属の近く) と平均電界の両方が表示されます。この電界は、非平衡1次元フェルミ・ポアソン・ソルバー [A7] を使って計算しました。低バイアスでは、電界は内蔵の圧電電荷が主になります。より高いバイアスでは、電界はV<sub>GS</sub>と共に直線的に高くなります。ここで、比例定数はゲートの厚さdです。dには、p-GaNの厚さとAlGaInの厚さの両方が含まれることに注意してください。図A3の中のは、後で使う電界FとV<sub>GS</sub>の単純なモデルを与えます。

以下の開発では、最大電界ではなく平均電界が使われます。衝突電離は、電界によって強く加速されますが、衝突電離の物理では、電子が電子-正孔対を生成するために十分な運動エネルギーを獲得するために、所望の平均自由行程 (またはデッド・スペース) が必要です。この平均自由行程は、ゲートの厚さのオーダーです。したがって、ゲート全体の電界 (または平均電界) は、衝突電離を計算するためのより適切な入力変数です。



図A3: 順方向ゲート・バイアスの関数としてのp-GaNゲート内の電界。最大電界 (ゲート金属の近く) と平均電界の両方を示しました。破線は、電界FとV<sub>GS</sub>の単純なオフセット線形モデルです。パラメータV<sub>0</sub>は内蔵電圧、dは実効ゲート厚です。

## A.2: GaNにおける衝突電離のモデル

衝突電離による電子-正孔対の生成率は、次式でモデル化できます [A14]:

$$G = \alpha_n \frac{|J_n|}{q} + \alpha_p \frac{|J_p|}{q} \quad \text{式A1}$$

ここで、 $G$  [1/s]は、電子-正孔の生成率 (#/cm<sup>3</sup>)、 $J_n$ と $J_p$ は電子電流と正孔電流 (A/cm<sup>2</sup>)、 $\alpha_n$ と $\alpha_p$ は電子と正孔の衝突電離係数 (#/cm) です。イオン化係数は、電子/正孔が移動した単位距離 (1 cm) で生成された電子-正孔対の数です。これらの係数は、電界と温度に強く依存します。

GaNのイオン化係数の電界依存性は、第一原理フルバンド・モンテカルロ・シミュレーションを使うか、アバランシェ・フォトダイオードでの実験による測定を介して、数人の著者によって研究されています [A8]。これらの研究はすべて、他の半導体で広く使われている電子のイオン化係数のChynowethの形式 [A10] を採用しています。

$$\alpha_n = a_n e^{-(b_n/F)^m} \quad \text{式A2}$$

ここで、 $F$ は電界、 $a_n$ 、 $b_n$ 、 $m$ はパラメータです。シミュレーションと測定の両方に優れた適合性を提供するこの方程式は、特にeGaNゲート内に見られる電界強度の中間領域で、電界によって強く加速されます。表A1は、いくつかの参考文献からのGaNのChynowethのパラメータ値を比較しています。

参考文献	$a_n$ (1/cm)	$b_n$ (V/cm)	$m$
Jiほか [A8]	2.10E+09	3.70E+07	1
Ozbek [A9]	9.20E+05	1.70E+07	1
Caolほか [A5]	4.48E+08	3.40E+07	1
Ooiほか [A11]	7.32E+07	7.16E+06	1.9

表A1: GaNの衝突電離に関するChynowethのパラメータの比較。

注: ab-initioシミュレーションまたは直接測定のいずれかを使った複数の著者からの情報。

当社のゲート寿命データに当てはめると、すべてのパラメータ値で同様の結果が得られました。結局、Ooi氏 [A10] によって提供された形式を2つの理由で選びました: (1) いくつかの独立した出版物 [A11, A12] とほぼ一致、(2) すぐに示すように、引用されたパラメータは、当社の実験データとほぼ完全に一致します。

## A.3: 温度依存性

GaNのアバランシェ降伏の温度依存性は、さまざまなグループによって論争されており、正の温度係数を報告するグループもあれば、負の温度係数を報告するグループもあります [A14]。最近では、理論データ (フルバンド・モンテカルロ・シミュレーション) と実験データの両方で、温度が上昇すると電子と正孔の両方の衝突電離率が低下するというコンセンサスが生まれました。これは、イオン化 (およびアバランシェ降伏) が低温で発生する可能性が高いことを意味します。この主な理由は、キャリアの平均自由行程でのフォノン散乱の役割です。高温では、散乱が増加すると平均自由行程が小さくなり、散乱イベント間で (電界から) 得られるエネルギーが制限されます。高エネルギーのキャリアが少なくなると、それに応じてイオン化衝突 (つまり衝突電離) の割合が低下します。ゲートの信頼性の当社のデータで観察された高温でのMTTFの増加は、故障の物理ではやや珍しいことであり、衝突電離が基本的な役割を果たしていることを強く示唆しています。

Ozbek氏 [A9]は、電子ビームで誘起された電流 (EBIC: electron beam induced current) 法を使って、300 K~400 Kの温度範囲でのGaNの衝突電離係数の温度依存性を研究しました。そして、明らかに単調な (そして負の) 反応を見つけました。Ozbek氏は、式A2のChynowethの係数 $b_n$ と $m$ が温度によって変化しないことに対し、係数 $a_n$ は変化することを見つけました。そして、式A3に示すように、測定された応答を単純な線形温度依存性に適合させました。

$$a_n(T) = a_{n,0}(1 - c\Delta T) \quad \text{式A3}$$

$$c = 6.5 \times 10^{-3} \text{ K}^{-1}$$

ここで、 $\Delta T$  (ケルビン温度) は300 Kを超える温度上昇です。この温度依存性は、以下のモデルで採用されています。

## A.4: 最終的な寿命方程式

この段階で、eGaNゲートに適用可能な寿命方程式を導出するためのすべての数学的要素を得ました。最初のステップとして、生成率の式 (式A1) を次のように簡略化できることに注意してください:

ここでは、正孔によって引き起こされるイオン化からの寄与を無視しています。

$$G \approx \alpha_n \frac{|J_n|}{q} \quad J_n \gg J_p \quad \text{式A4}$$

順方向バイアス下でAlGaN障壁をトンネリングする電子とは異なり、ゲート領域に正孔が注入されないため、これは有効です。eGaNゲートの正孔には持続的な発生源または注入する接続はありません。さらに、正孔は、電子によって引き起こされる衝突電離によって、低い割合で生成されますが、対応する正孔の電流 (および増倍) は、電子の電流よりも桁違いに小さくなります。

生成された正孔のほとんどは、AlGaN障壁に向かって一掃されますが、ゲート側壁の近くのSi<sub>3</sub>N<sub>4</sub>誘電体層に、いくらかがトラップされます。正電荷 (正孔) が時間の経過と共に誘電体に蓄積すると、フィールド・プレートの端の近くの電界も大きくなります (図A1参照)。ある臨界電荷密度に蓄積されると (単位はC/cm<sup>3</sup>で $Q_c$ で示される)、誘電体の電界は破壊強度に達し、Si<sub>3</sub>N<sub>4</sub>はフィールド・プレートからp-GaNゲート (またはゲート金属) へと破壊されます。

電荷が誘電体に蓄積するときに、(電子によって引き起こされる衝突電離からの) 正孔生成率が時間と共に変化しないと仮定すると、絶縁破壊までの平均時間は単純に次のようになります:

$$MTTF \propto \frac{Q_c}{G} \quad \text{式A5}$$

式A5を式A2、A3、A4と組み合わせることによって、ゲート内の温度と電界の関数としてのMTTFの式が得られます:

$$MTTF = \frac{Q_c}{G} = \frac{qQ_c}{\alpha_n J_n} = \frac{qQ_c}{J_n a_{n,0}(1-c\Delta T)} \exp \left[ \left( \frac{b_n}{F} \right)^m \right] \quad \text{式A6}$$

トラップされた正孔電荷が時間と共に蓄積するとき、注入速度 $J_n$ と垂直電界 $F$ は感知できるほど変化しないという暗黙の仮定がなされたことに注意してください。

ゲート電圧への電界依存性を挿入し(図A3から)、可能な限りパラメータをまとめると、最終的な5パラメータのゲート寿命モデルが得られます:

$$MTTF = \frac{Q_c}{G} = \frac{qQ_c}{\alpha_n J_n} = \frac{A}{(1-c\Delta T)} \exp \left[ \left( \frac{B}{V+V_0} \right)^m \right] \quad \text{式A7}$$

以下にリストしたパラメータを使います:

$$\begin{aligned} m &= 1.9 \\ V_0 &= 1.0 \text{ V} \\ B &= 57.0 \text{ V} \\ A &= 1.7 \times 10^{-6} \text{ s} \\ c &= 6.5 \times 10^{-3} \text{ K}^{-1} \end{aligned}$$

式A7が得られる最後のステップでは、注入電流 $J_n$ に対するゲート電圧と温度の影響は無視され、定数として扱いました。ゲートの漏れは $V_{GS}$ と $\Delta T$ の両方で単調に増加しますが、測定された依存性は、衝突電離によって引き起こされる大きな電圧加速と比べて弱くなっています(Chynowethの式で捕捉)。 $J_n$ の電圧依存性は、モデルをより複雑にすることを犠牲にして追加できますが、結果として、MTTF対 $V_{GS}$ のすでに大きな加速に、わずかに追加されるだけです。

寿命方程式(式A7)は、このレポートの本文に示されている図2のEPC2212の測定された加速データに対してプロットされています。このモデルの電圧による不均一な加速がデータとよく一致していることに注意してください。この電圧加速は、対数-線形空間で見ると、線形ではなく曲線として示されます。この適合を生成するために、 $A$ と $B$ を除く式A7のすべてのパラメータを固定しました。この結果として得られた $B$ の最適適合は、(ゲートの厚さ $d$ で除算して電界に変換した場合)、 $b_n = 7.6 \times 10^6 \text{ V/cm}$ の値になり、Ooi氏の値 $7.2 \times 10^6 \text{ V/cm}$  [A11]と非常によく一致しています。図5は、 $-75^\circ\text{C}$ 、 $25^\circ\text{C}$ 、 $125^\circ\text{C}$ での寿命方程式の温度依存性を示しています。温度依存性(パラメータ $c$ に含まれる)は、データに適合せず、Ozbekから直接得られます。図2に示した測定で観察されるように、高温ではMTTFがわずかに大きくなることに注意してください。

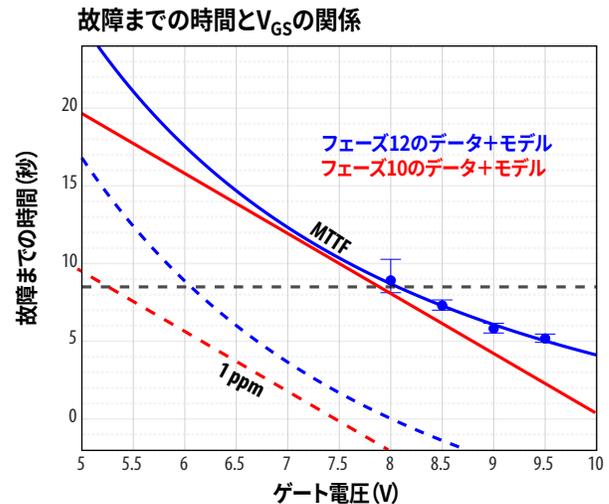
## A.5: ゲート寿命モデルの物理ベースの導出に関する結論

eGaN FETのゲート寿命の衝突電離モデル(式A7)は、観察された多くの要因をうまく説明しています:

- MTTFの正の温度係数(これは、故障の半導体物理では珍しいことです)
- ゲート・バイアスによる非常に高い加速、およびゲート・バイアスの減少時に指数関数よりも急な加速
- ブレークダウンをはるかに下回る公称電界強度での高品質 $\text{Si}_3\text{N}_4$ 膜による誘電体破壊(正孔注入と隣接するp-GaN領域からのトラップの結果として)

この寿命方程式は、MOSFET用に開発された標準的な信頼性モデルの本体から単純に借用したものではありません。代わりに、これは、特にeGaN FETに適用可能な故障の根本的な物理から構築された最初のゲート寿命モデルを表しています。

図A4は、次の比較を示しています。すなわち、(赤色) 当社の元のゲート加速データと単純な指数加速適合。(青色) 最近の加速データと衝突電離寿命モデル。最近のデータは、製造における均一性とプロセス制御の着実な改善に起因するすべての電圧での測定寿命の改善を示していることに注意してください。衝突電離モデル(式A7)は、データシートの範囲内の低い $V_{GS}$ で故障するまでの時間が長くなると予測しています。特に、6V(データシートの最大値)で1ppmの故障までの予想時間は10年を超えています。



図A4: 比較: (赤色) 元のゲート加速データと単純な指数加速の適合、(青色) 最近のゲート加速データと衝突電離モデルの適合。破線は、各場合の1 ppmの予測に対応します。

ユーザーは、信頼性予測に、どちらかの寿命モデルを使うか、というオプションがあります。すなわち、衝突電離モデル、または、より保守的な指数方程式のいずれかです。どちらも、データシートの制限内で動作するデバイスの優れた長期故障率予測が得られます。

低 $V_{GS}$ での式A7のさらなる検証は、故障を起こすために長い時間がかかるため困難ですが、EPCは現在、新しいモデルの信頼性を高めるために、より多くの実験を行っています。これらには、さらに高い $V_{GS}$ と低い温度での測定が含まれます。

## 付録B: 物理ベースの動的 $R_{DS(on)}$ モデル

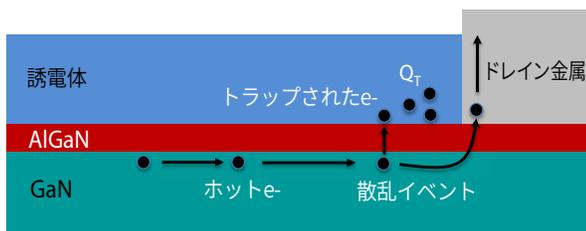
この付録では、ハード・スイッチング動作下のeGaN FETの動的 $R_{DS(on)}$ の特性を説明するための物理ベースのモデルを開発します。セクション2.4に要約されているように、この結果となるモデルの主な特徴は次のとおりです:

- $R_{DS(on)}$  は、 $\log(t)$ で時間と共に増加します。
- 時間の経過に伴う $R_{DS(on)}$ の傾きは、負の温度係数です (つまり、高温での傾きがより小さくなります)。
- スwitching周波数は、傾きに影響を与えませんが、垂直方向のオフセットが小さくなります。
- スwitching電流は、傾きに影響を与えませんが、垂直方向のオフセットが小さくなります。
- 誘導性ハード・スイッチングと抵抗性ハード・スイッチングの違いはごくわずかです。

このモデルは、ホット・エレクトロンが表面電位を越えて表面誘電体の伝導帯に注入されるという仮定に基づいています。いったん中に入ると、電子はすぐに、深いミッドギャップ状態に陥り、永久的にトラップされると見なされます (トラップ解除なし)。ホット・エレクトロンは、スウィッチング遷移中に生成され、高注入電流と高電界の過渡的な組み合わせによって、かなりの数の高エネルギー・キャリアが発生します。

図B1は、ドレイン接続のすぐ近くにあるeGaN FETの断面を示しています。ハード・スイッチング遷移中に、電子はドレインに向かって突進し、そこで電界によって強く加速されます。適切な条件下では、一部の電子は、上の誘電体の伝導帯に散乱するための十分な運動エネルギーを獲得します。このためには、2 eV以上の運動エネルギーが必要です。誘電体の内部に入ると、それらは深いミッドギャップ状態にトラップされ、永久的にトラップされます。デバイスがオンすると、トラップされた電荷によって、通常のチャネル電子の電荷が減少し、 $R_{DS(on)}$ が上昇します。

以下の説明において、電荷トラップのこの単純な動的シナリオを拡張することによって、上記で観察されたすべての特性を説明するモデルが導き出されます。



図B1: ドレイン接続近くの表面誘電体へのホット・エレクトロン散乱を示す概略図。この誘電体に入るには、電子は、ポテンシャル障壁を乗り越えるための十分なエネルギーを持っていない限りなりません。いったん、この誘電体に入ると、それらは深い電子トラップ状態に陥り、効果的にいつまでもトラップされます。

### B.1: 重要な前提条件

- ホット・エレクトロンのエネルギーは、高エネルギーの末端で指数 (マクスウェル) 分布に従います。
- ホット・エレクトロンは、次の2段階のプロセスによって、ドレイン接続近くの表面誘電体にトラップされます:
  - 表面のポテンシャル障壁を越えて誘電体の伝導帯の中へ散乱し、バリスティックに伝導
  - その後、誘電体内の深い電子ギャップ状態にトラッピング
- 誘電体に入るためには、ホット・エレクトロンは、表面ポテンシャル障壁を超えるための十分なエネルギーが必要です (伝導帯オフセット+組み込み電界)。トンネリングは無視されています。
- ドレイン付近の電子トラップのみが考慮されます (ただし、この理論はドリフト領域内の他の場所にも同様に拡張されます)。
  - ゲート付近でのトラップも発生する可能性があり、 $V_{TH}$ シフトと $R_{DS(on)}$ の増加につながります。ただし、ゲート側のトラップは、eGaN技術では、実際にはあまり問題になりません。
- 電子が誘電体に入ると、電子は表面近くにトラップされ、 $Q_S$ で示される表面トラップ電荷密度の増加に寄与します。
  - $Q_S$ は、z軸に沿った分布を無視して、表面電荷密度としてモデル化されます。
- 電子がトラップされると、電子は決して離れることはありません (トラップの解放や時間内の回復はありません)。
  - これは、最悪の場合の動的 $R_{DS(on)}$ の増大につながる保守的な仮定です。

### B.2: ホット・エレクトロンのエネルギー分布

AlGaIn/GaN HEMTのホット・エレクトロン効果は、実験的にも第一原理理論計算からも、広く研究されてきました [B1-B5]。ホット・エレクトロンは、エネルギー分布に特徴的なスペクトルを持つ光 (電界発光) を放出します。このスペクトルを測定することによって、Brazzini氏ら [B6] は、さまざまなバイアス状態でHEMTのホット・キャリアのエネルギー分布を実験的に測定することができました。この研究では、高エネルギー領域の末端におけるホット・キャリア分布が、格子温度をはるかに超える特徴的な電子温度 $T_e$  (2000 K) を持つ指数関数 (マクスウェル-ボルツマン分布) とよく適合していることがわかりました。しかし、これらの著者は、電子温度対電界または格子温度をモデル化する簡単な方法を提供していませんでした。

この開発の目的のために、ホット・キャリア温度の分析式は不要です。高エネルギーでは、キャリアの割合がエネルギーと共に指数関数的に減少することを知っておくだけで十分です。Meneghini氏ら[B7]は、Tam氏らの幸運な電子モデルに基づいており[B8]、これは、エネルギー範囲 $dE$ にわたる高エネルギー・キャリア $f(E)$ の割合は、次のように電界に比例することを提案しました。

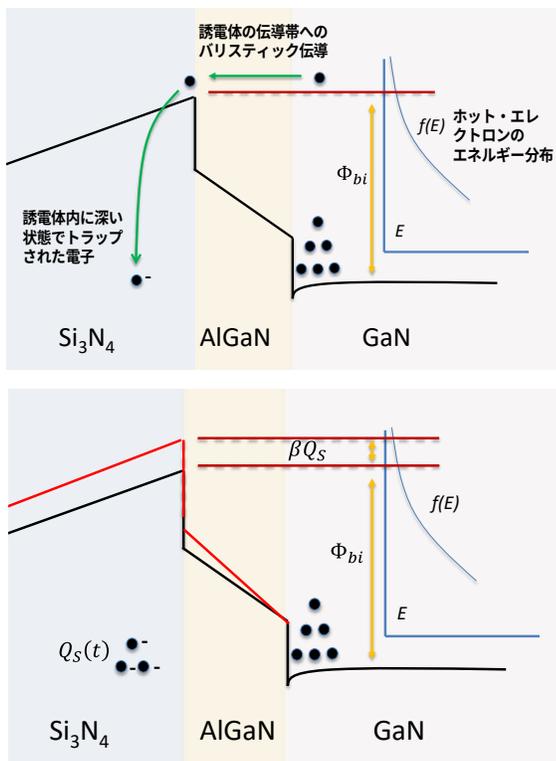
$$f(E)dE \propto E e^{-E/qF\lambda} dE \quad \text{式B1}$$

ここで、 $E$ は電子エネルギー (伝導帯の最小値以上)、 $F$ は電界、 $\lambda$ は散乱イベント間の電子平均自由行程です。指数関数の分母の項は、平均自由行程にわたって、電界からの電子によって得られるエネルギーを表します。以下の分析では、この式を採用しています。

### B.3: 表面トラップ率の方程式

図B2の上図は、ドレイン接続の近くで垂直方向のバンドの配置を示す概略バンド図です。電子が $\text{Si}_3\text{N}_4$ 表面誘電体の伝導帯に入るためには表面障壁が存在します。チャンネルの電子の圧倒的多数は、障壁を乗り越える運動エネルギーが不十分です。しかし、ごく一部のホット・エレクトロンは十分なエネルギーを獲得し、3段階のプロセスを介して誘電体にトラップされます。すなわち、(1) チャンネル内の電界から十分な運動エネルギーを獲得して表面障壁を乗り越え、(2)  $\text{Si}_3\text{N}_4$ の伝導帯へのAlGaInフロント障壁にわたって散乱し、バリスティック的に移動し、(3) 絶縁体の深いミッドバンドギャップ・トラップ状態に陥ります。

図B2の下図は同じ状況を示していますが、表面の静電障壁（赤色の破線）は、トラップされた表面電荷 $Q_s$ によって強化されています。この障壁の強化によって、電子が $\text{Si}_3\text{N}_4$ に散乱する可能性が指数関数的に小さくなります。すぐに分かるように、この力学は自己消光電荷の急峻なトラップ率につながり、時間の経過と共に $R_{\text{DS(on)}}$ の（遅い）対数的増加をもたらします。



図B2：（上図）表面障壁を越えた放出。ドレイン接続の近くで垂直方向のバンドの配置を示す概略バンド図。電子が $\text{Si}_3\text{N}_4$ 表面誘電体の伝導帯に入るには表面障壁が存在します。チャンネルの電子の圧倒的多数は、障壁を乗り越える運動エネルギーが不十分です。しかし、ごく一部のホット・エレクトロンはこのエネルギーを持っており、本文で説明されている3段階のプロセスを介して絶縁体に入ります。

（下図）赤色の破線で示されているように、表面の静電障壁が $Q_s$ によって強化されています。

トラップ率は、表面のポテンシャル障壁を通過するための十分なエネルギーを持つホット・エレクトロンの数に比例します。この数は、障壁の高さを超えるエネルギーのすべてのホット・キャリア分布を積分することで計算できます。障壁の高さは、(1) 一定の組み込み障壁 $\Phi_{bi}$ 、および、(2) トラップされた表面電荷の静電気によって動的に変化する成分の2つ要因で構成されます。この動的成分を $\beta \times Q_s$ で表します。ここで、 $\beta$ は $Q_s$ を障壁の高さの変化に関連付ける幾何学的（静電）係数にすぎません。

この積分を実行すると、以下が分かります：

$$\frac{dQ_s}{dt} = A \int_{\Phi_{bi} + \beta Q_s}^{\infty} f(E) dE = A \int_{\Phi_{bi} + \beta Q_s}^{\infty} E e^{-E/qF\lambda} dE \quad \text{式B2}$$

$$\approx A \Phi_{bi} e^{-(\Phi_{bi} + \beta Q_s)/qF\lambda} \equiv B e^{-\beta Q_s/qF\lambda}$$

このアプローチは、基本的な表面電荷率の微分方程式につながります：

$$\frac{dQ_s}{dt} = B \exp\left(-\frac{\beta Q_s}{qF\lambda}\right) \quad \text{式B3}$$

ここで、温度と電界の依存性をパラメータ $B$ にまとめました。前因子 $B$ は、電流とスイッチング周波数に比例して増加することにも注意してください。

この微分方程式の解は次の通りです：

$$Q_s(t) = \frac{qF\lambda}{\beta} \log\left(1 + \frac{B\beta}{qF\lambda} t\right) \quad \text{式B4}$$

ここで、トラップされた表面電荷が $\log(t)$ と共に増加するという基本的な結果が得られました。これは、後述の開発を通じて反映し、 $R_{\text{DS(on)}}$ で観測された $\log(t)$ 増加特性の基礎になります。

### B.4: $R_{\text{DS(on)}}$ への影響

この時点で、時間に対するドレイン近くの表面誘電体にトラップされた電荷 $Q_s(t)$ の式を求めることができました。この表面電荷によって、ドレイン・バイアスが除去され、デバイスがオン状態のときに、デバイスのチャンネル抵抗が増加します。一次的には、表面電荷は、2DEGチャンネルの電荷密度に応じた減少につながります。バージン・デバイスの通常（圧電的に誘起された）電子密度を $Q_p$ とすると、次の方法でデバイスの全抵抗を計算できます：

$$R(t) = R_0 + \frac{C}{Q_p - Q_s} = R_0 + \frac{C}{Q_p - \frac{qF\lambda}{\beta} \log\left(1 + \frac{B\beta}{qF\lambda} t\right)} \quad \text{式B5}$$

この式で、 $R_0$ は、チャンネル抵抗とドリフト抵抗を含み、ドレイン領域から離れたデバイスの抵抗を表します。第2項は、チャンネル2DEGの密度 $Q_p$ がトラップされた表面電荷 $Q_s$ を介して減少したドレインのすぐ近くからの抵抗を表します。ここで、 $C$ はこの抵抗を電荷に関連付ける定数です。 $C$ の値は、例えば、アクセス領域の移動度のために、温度と共に変化しますが、この温度依存性は、後の正規化中に相殺されます。

通常の動作条件では、表面電荷の注入は、組み込みの2DEG圧電電荷と比べて、小さいままです（ $Q_s \ll Q_p$ ）。この状態では、テイラー展開 $1/(1-x) = 1+x$ を使って、式B5をさらに単純化することが適当です：

$$R(t) \approx R_0 + \frac{C}{Q_p} \left[ 1 + \frac{qF\lambda}{Q_p \beta} \log\left(1 + \frac{B\beta}{qF\lambda} t\right) \right] \quad \text{式B6}$$

## B.5: 温度依存性

250 K以上の温度では、AlGaIn/GaN HEMTの高電界の電子の移動は、縦光学 (LO) フォノン散乱によって支配されます。GaNでは、LO-フォノン・エネルギー $\hbar\omega_{LO}$ は、第一原理バンド構造タイプの計算に基づいて約92 meVです[B9]。LO-フォノン散乱下の運動量緩和時間 (または散乱時間) は、温度によって次のように変化します:

$$\tau_{LO} \propto \exp\left(\frac{\hbar\omega_{LO}}{kT}\right) \quad \text{式B7}$$

したがって、平均自由行程の温度依存性は次のようにモデル化できます:

$$\lambda = v_{th}\tau_{LO} \propto A\sqrt{kT}\exp\left(\frac{\hbar\omega_{LO}}{kT}\right) \quad \text{式B8}$$

電子はフォノン衝突の間をさらに移動する可能性があるため、温度が下がると平均自由行程が増加することに注意してください。

式B8を式B6に代入し、少し再配置して $R_{DS(on)}$ の変化率を計算すると、次のようになります:

$$\frac{\Delta R}{R} = \frac{R(t) - R(0)}{R(0)} \approx a + bF \exp\left(\frac{\hbar\omega_{LO}}{kT}\right) \sqrt{T} \log(t) \quad \text{式B9}$$

表記を簡略化するために、式B6の多くの定数をパラメータaとbに含めましたが、モデルの明示的な温度と電界の依存性を保持していることに注意してください。長時間の近似、 $\frac{B\beta}{qF\lambda} t \gg 1$

を採用したため、対数内の加法定数を無視して、単純な $\log(t)$ 時間依存性を使用することに注意してください。

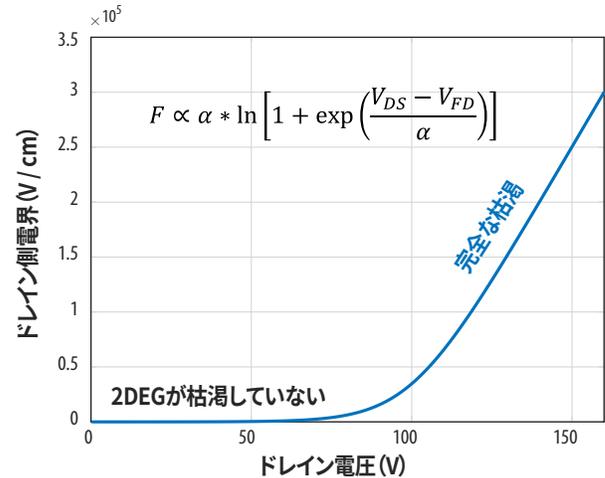
## B.6: 電界のドレイン電圧への依存性

$R_{DS(on)}$ 増加の実用的なモデルを作成するには、最後の処理が1つ残っています。それは、ドレイン接続付近の電界 $F$ をスイッチング遷移直前の (オフ状態の) ドレイン・バイアス $V_{DS}$ に関連付けることです。一般に、この関係は非常に複雑であり、正確にモデル化するための多数の設計パラメータと半導体デバイスの物理が関係しています。通常、この処理に取り組むために有限要素シミュレーションが採用され、その結果は、実際のユーザーの方程式には役立ちません。

ドレイン・バイアスが低い場合、2DEGは、ドレイン接続の近くで枯渇していないため、チャネル電界は発生しません。 $V_{DS}$ が増加すると、2DEGは最終的に、すべてドレイン接続へと消耗し、その後、 $V_{DS}$ の増加に伴って電界が直線的に上昇します。この定性的な動作を捕捉する単純な2パラメータの方程式は次の通りです:

$$F \propto \alpha * \ln\left[1 + \exp\left(\frac{V_{DS} - V_{FD}}{\alpha}\right)\right] \quad \text{式B10}$$

$V_{FD}$ は、2DEGがドレイン接続まで完全に枯渇した電圧に対応するデバイス依存のオフセット・パラメータです。大まかに言えば、この値は、FETのデータシートの $V_{DS(max)}$ 定格に近い値です (つまり、EPC2045やEPC2053などの100 V製品の場合は $V_{FD}=100$  V)。パラメータ $\alpha$ は、シャープネス (または曲率) ・パラメータであり、完全に枯渇した後の電界の成長速度を表します。EPC2045の場合の式は、図B3にプロットされています。



図B3: ドレイン側の電界とドレイン電圧の関係の単純な数学モデル。この電界は、一定 (ゼロ) から線形領域にスムーズに移行し、開始電圧は、ドレイン接続での2DEGの完全な枯渇に対応します。パラメータ $V_{FD}$ と $\alpha$ はデバイスに依存します。ここで選択した値は、EPC2045および関連する第5世代の100 VのFETに適用されます。

## B.7: 最終的な $R_{DS(on)}$ と寿命方程式

式B10の $F$ の式を式B9に代入すると、時間、温度、ドレイン電圧の関数としての $R_{DS(on)}$ 増加の最終的な数学モデルが得られます:

$$\frac{\Delta R}{R} = a + b \log\left(1 + \exp\left(\frac{V_{DS} - V_{FD}}{\alpha}\right)\right) \sqrt{T} \exp\left(\frac{\hbar\omega_{LO}}{kT}\right) \log(t) \quad \text{式B11}$$

### 独立変数:

$V_{DS}$  = ドレイン電圧 (V)  
 $T$  = デバイス温度 (K)  
 $t$  = 時間 (分)

### パラメータ:

$a$  = 0.00 (単位なし)  
 $b$  =  $2.0E-5$  ( $K^{-1/2}$ )  
 $\hbar\omega_{LO}$  = 92 meV  
 $V_{FD}$  = 100 V (第5世代の100 V製品にのみ適切)  
 $\alpha$  = 10 (V)

上に示したように、このモデルには3つの独立変数と、5つの (デバイスに依存する) パラメータがあります。時間は分単位で挿入しなければならないことに注意してください。GaNの主要なLOフォノン・エネルギー (92 meV) は、第一原理計算[B9]から得られたものであり、eGaN FETによって異なるとは想定していません。残りの4つのパラメータは、ある範囲の温度とドレイン・バイアスにわたるEPC2045からのハード・スイッチングの動的 $R_{DS(on)}$ データに適合させました。このパラメータのセットは、次の第5世代の100 VのeGaN FETにも直接適用できます: すなわち、第5世代のEPC2053、EPC2218、EPC2204です。一般に、一部のパラメータは、さまざまな製品ファミリーのデバイスによって異なる場合があります。他のeGaN製品に適切なパラメータ値については、EPCにご相談ください。

多くのユーザーは、特定の品質または信頼性の要件を満たすために、特定の使用条件下での寿命の見積もりを必要としています。 $R_{DS(on)}$ が初期値から20%上昇する時間を $t$ として（ハード・スイッチング条件下での）寿命を定義することによって、式B11を簡単な方法で反転して次の式を得ることができます：

$$(t) = \exp \left[ \frac{(0.2-a)}{b \log \left( 1 + \exp \left( \frac{V_{DS} - V_{FD}}{\alpha} \right) \right) \sqrt{T} \exp \left( \frac{h\omega_{LO}}{kT} \right)} \right] \quad (\text{分}) \quad \text{式B12}$$

この式は、動作電圧と温度の関数として、ハード・スイッチング条件下で予想されるMTTFです。通常、最悪の場合の値（最高電圧、最低温度）が下限を提供するために使われます。これまでと同様に、寿命の単位は分です。寿命の他の定義を適用して、式B11から抽出することもできます。

## B.8: スwitching周波数とSwitching電流の影響

これまでの分析では、 $R_{DS(on)}$ 増加特性に対するSwitching周波数 $f$ とSwitch電流 $I$ の影響は無視してきました。この電流は、ハード・スイッチング遷移中に高電界領域に注入される電子の数に直接影響を与えるため、ホット・キャリア密度に線形の影響を及ぼします。同様に、Switching周波数は、所定の時間間隔においてドレインで見られるホット・キャリア・パルスの数を決定するため、表面トラップ率にも線形の影響を及ぼします。

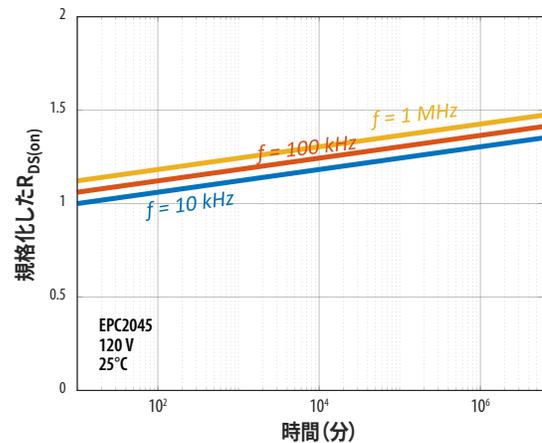
表面トラップ率の式B3では、周波数とSwitch電流の影響が定数 $b$ に含まれています。 $b$ が $f$ と $I$ の両方に線形に比例すると直感的に仮定すると、式B8の最終式まで計算が実行されます。あるSwitching条件 $(f_1, I_1)$ での $R_{DS(on)}$ の増加を、別の条件 $(f_2, I_2)$ での $R_{DS(on)}$ の増加に関連付ける単純なスケールリング結果を導き出します。

$$R(t; f_2, I_2) = R(t; f_1, I_1) + b \left( \log \left( \frac{f_2}{f_1} \right) + \log \left( \frac{I_2}{I_1} \right) \right) \quad \text{式B13}$$

数学的には、Switching周波数や電流を変える影響は、 $R_{DS(on)}$ の増加曲線が垂直方向にわずかにオフセットするだけです。オフセットは $f$ と $I$ の対数に依存するため、これらの変数への依存性は基本的に弱くなります。さらに、オフセットは $\log(t)$ の増加特性の全体的な傾き $b$ に依存します。したがって、FETが $R_{DS(on)}$ の上昇が小さい（傾き $b$ が小さい）条件下で動作している場合、周波数や電流を変えた場合の影響は無視できます。

図B4は、10 kHzから1 MHzまでの3つの異なるSwitching周波数でのEPC2045の規格化された $R_{DS(on)}$ と時間の比較です。この曲線は単に垂直方向に互いにオフセットされていることに注意してください。異なるSwitch電流を比較した場合も同じことが言えます。オフセットは $f$ （または $I$ ）の対数として変化するため、Switching周波数（または電流）の10倍の増加でさえ、測定と投影で±10%の雑音が発生するため、実験的に観察することは困難です。

対数スケールリングの関係は、前述の実験結果のいくつかを説明しています。図B2の2つの異なるSwitch電流でのEPC2206の測定では、Switching電流の2倍の増加でさえ、 $R_{DS(on)}$ の増加曲線の知覚可能な変化として記録されませんでした。抵抗性ハード・スイッチングと誘導性ハード・スイッチングの比較では、遷移中に通過する電流-電圧点の軌跡は、誘導性Switchingの場合に、より大きく影響すると考えられます。この仮定は、学術文献[B10]で詳細に説明されており、抵抗性ハード・スイッチングを使ってGaN HEMTを特性評価することに反対する議論として（証拠なしで）利用されることがよくあります。ただし、 $R_{DS(on)}$ のSwitch電流への弱い（対数）依存性は、同じデバイスで誘導性ハード・スイッチングと



図B4: 2桁をカバーする3つの異なるSwitching周波数での規格化した $R_{DS(on)}$ と時間の関係。周波数変化の影響は、増加特性の小さな垂直オフセットであることに注意してください。同じオフセットが異なるSwitch電流で発生します。

抵抗性ハード・スイッチングを比較したときに有意差が観察されなかった理由を説明しています。データとそれをバックアップする理論のこの組み合わせを考えると、EPCは、より単純で、より正確な抵抗性ハード・スイッチングのテスト方法を使って、GaNデバイスの特性を評価し続けます。

## B.9: 物理ベースの動的 $R_{DS(on)}$ モデルの結論

EPCは、ハード・スイッチング条件下でのeGaN FETの $R_{DS(on)}$ の増加を説明するために、物理ベースの第一原理モデルを開発しました。このモデルは、ホット・エレクトロンが表面電位を介して表面誘電体の伝導帯に注入されるという仮定に基づいています。この中に入ると、電子は、すぐに深いミッドギャップ状態に陥り、永久にトラップされていると見なされず（トラップ解除なし）。ホット・エレクトロンは、Switching遷移中に生成されます。Switching遷移では、高注入電流と高電界の一時的な組み合わせによって、高エネルギー領域への長い末端を持つホット・キャリアのエネルギー分布が発生します。

このモデルは、以下の結果を予測します：

- $R_{DS(on)}$ は、 $\log(t)$ で時間と共に増加します。
- 時間の経過に伴う $R_{DS(on)}$ の傾きは、負の温度係数を持ちます（つまり、温度が上昇するにつれて傾きが小さくなります）。
- Switching周波数は傾きに影響を与えませんが、垂直方向のオフセットが小さくなります。
- Switching電流は傾きに影響を与えませんが、垂直方向のオフセットが小さくなります。

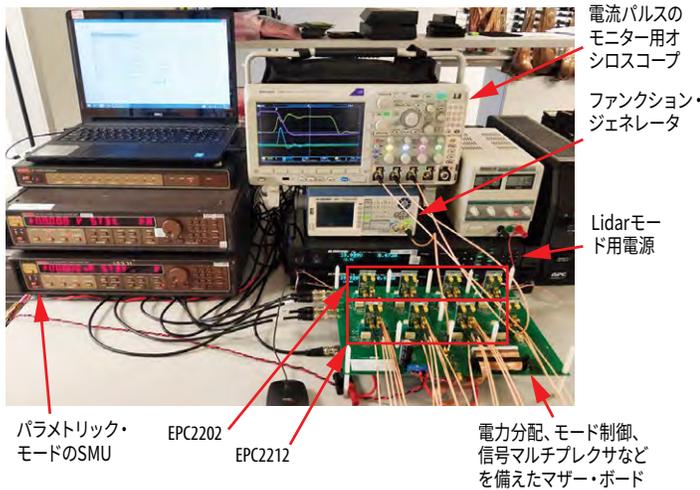
$\log(t)$ 依存性は、2つの絡み合った効果を伴う急速な自己消光電荷トラップの力学に起因します。すなわち、(1) エネルギーが指数関数的なホット・エレクトロンのエネルギー分布；(2) 誘電体への電子注入の障壁を着実に高くする蓄積表面電荷 $Q_s$ です。これらの効果の組み合わせは、トラップ速度につながり、電荷が蓄積するにつれて指数関数的に遅くなり、時間依存性（対数）が遅くなります。

負の温度依存性は、ホット・キャリアのエネルギー分布に対するLOフォノン散乱の影響の結果です。低温では、散乱が減少すると平均自由行程が改善され、電子が電界内で、より高いエネルギーを獲得できるようになります。

数学モデルの主要なパラメータは、ドレイン電圧と温度の範囲にわたるEPC2045の測定結果に合わせました。このモデルによって、ユーザーは、ドレイン電圧、温度、スイッチング周波数、スイッチング電流の4つの主要な入力変数の関数として、長期的な $R_{DS(on)}$ の増加を予測できます。このモデルは、簡単なMTTF方程式を提供するように合わせ込まれており、ユーザーは任意の条件下での寿命を予測できます。

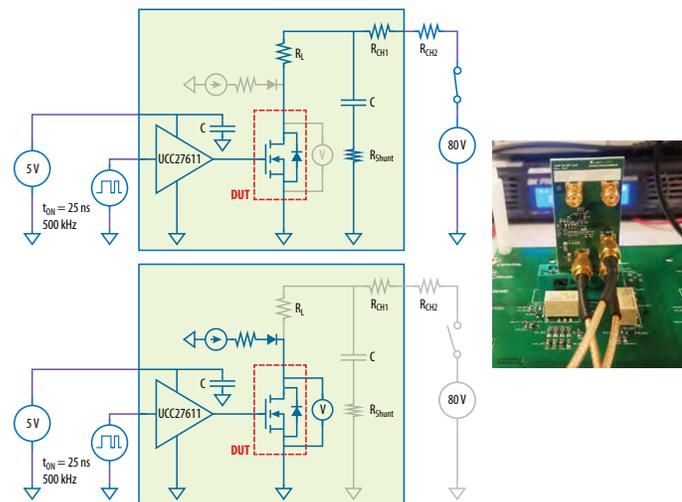
## 付録C：LIDARの信頼性テスト・システム

図C1は、Lidarの信頼性テスト・システムの写真です。デバイスは、専用のLidarドーター・ボードに組み立てられています。これらの基板は、最大8個の部品に同時にストレスを加えることができるマザー・ボードに実装されます。パルスの高さや幅は、ラウンド・ロビン方式で個々の部品をリレーで切り替えることによって、オシロスコープに記録されます。データはパソコンを使って記録します。



図C1：Lidarの信頼性テスト・システム

図C2に示すように、ドーター・ボードのテスト回路は、(i) Lidarモードと (ii) パラメトリック・モードの2つの異なるモードで動作します。



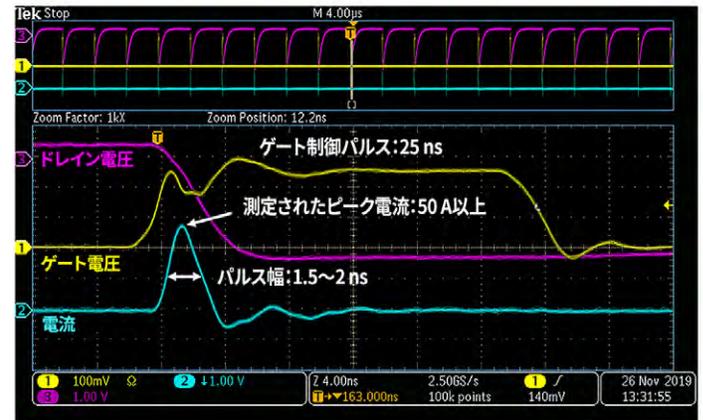
図C2：Lidarのテスト回路：(左上) Lidarモード、(左下) パラメトリック・モード。ドーター・ボードの写真(右)。

Lidarモードの回路は、EPCのLidarアプリケーション基板EPC9126に基づいています。このゲートには約25 nsのパルスが供給され、 $R_L$ を介して、コンデンサCを放電します。これは、実際のLidar回路のレーザー・ダイオードのインピーダンスをエミュレートします。ゲート・パルス後、部品がスイッチ・オフになり、コンデンサCがバス電圧に再充電され、次のゲート・パルスまで保持されます。動作条件は以下の通りです：

- ・ バス電圧：80 V (部品にパルスが供給されていない場合のドレイン電圧)
- ・ 電流パルスの高さ：ピークで50 A以上
- ・ パルス幅：約2 ns
- ・ パルスの繰り返し周波数：500 kHz

これらの条件は、eGaN FETに最大のストレスが加わるように設定されていることに注意してください。一般的な商用Lidar回路は、より低いPRF (パルスの繰り返し周波数) で動作し、通常は、より低いバス電圧、または、より小さい電流パルスの高さで動作します。

図C3が、一般的なスイッチング波形です。大電流と高電圧の組み合わせによって、ホット・キャリアの力学の段階が設定され、 $V_{TH}$ シフト、または動的 $R_{DS(on)}$ が発生する可能性があります。ただし、Lidarのスイッチング軌跡は、電流の上昇を抑えるレーザー・ダイオードのインダクタンスによって、一般的なハード・スイッチング・コンバータよりも穏やかです。



図C3：一般的なLidarモードのパルス波形。

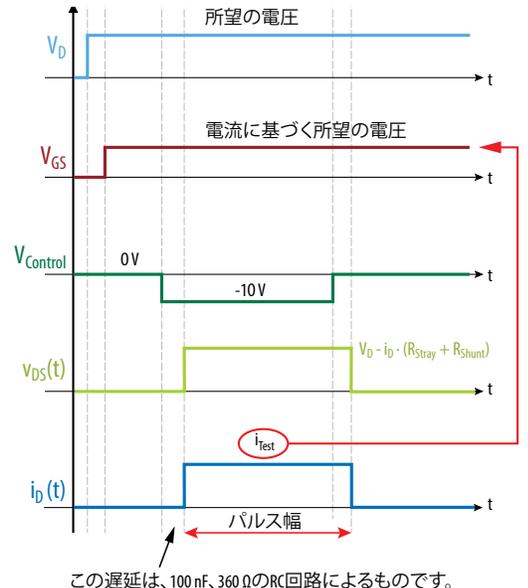
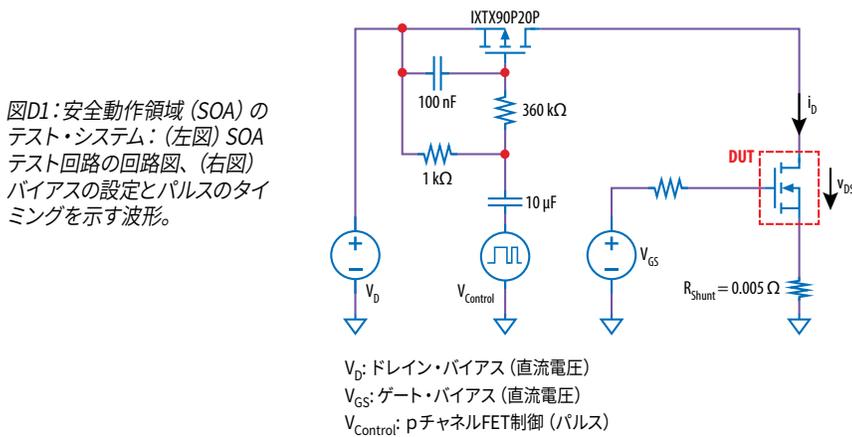
テスト・システムのLidarモードは、6時間継続するブロックで、連続的に実行されます。図C2の下図に示すように、ブロック間で、回路がパラメトリック・モードに短時間切り替えられます。パラメトリック・モードでは、各部品の $R_{DS(on)}$ は、4 Vから最大6 Vまでの一連のゲート電圧で測定されます。これによって、このシステムは5 V<sub>GS</sub>で $R_{DS(on)}$ を直接、定期的にモニターできます。 $R_{DS(on)}$ の $V_{GS}$ への依存性を合わせ込むことによって、部品の大電流 $V_{TH}$ を抽出できます。この $V_{TH}$ の定義は、低ドレイン電流で $V_{TH}$ を測定するデータシートの定義とは異なることに注意してください。 $V_{TH}$ と $R_{DS(on)}$ の両方、およびLidarパルスの幅と高さは、長期的なLidarストレス中に発生する可能性のある劣化メカニズムに関する貴重な考察を提供することができます。

### 付録D:安全動作領域 (SOA) のテスト・システム

図D1に、安全動作領域 (SOA) のテスト・システムの回路図とタイミング信号を示します。ドレイン・バイアス ( $V_D$ ) とゲート・バイアス ( $V_{GS}$ ) は、テストの開始時に設定され、セトリングのための時間ととってあります。ゲート電圧は、後続のパルス中に、所望の $I_D$ に達するように設定されます (通常は1~3Vの範囲)。ドレイン・パルスは、容量結合されたゲート・バイアスのネットワークを介してトリガーされる44 mΩのpチャンネルFETによって、被試験デバイス (DUT) に印加されます。このバイアス・ネットワークは、DUTでの高い $di/dt$ と誘導性オーバーシュートを防ぐためにソフト遷移を提供するように調整されています。パルス中、ドレイン電流 ( $I_D$ ) は、小さな電流検出抵抗を介してモニターされます。DUTのドレイン電圧とソース電圧は、テスト回路の寄生抵抗の影響を取り除くためにケルビン検出されます。大電流パルス中、公称 $V_{GS}$ を維持するために、ゲートからソースへのコンデンサがDUTの近くに取り付けられています。すべての信号は、オシロスコープで捕捉され、分析のために後処理されます。

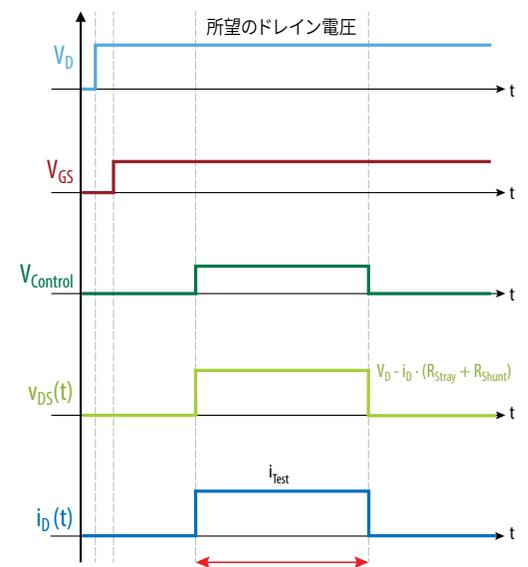
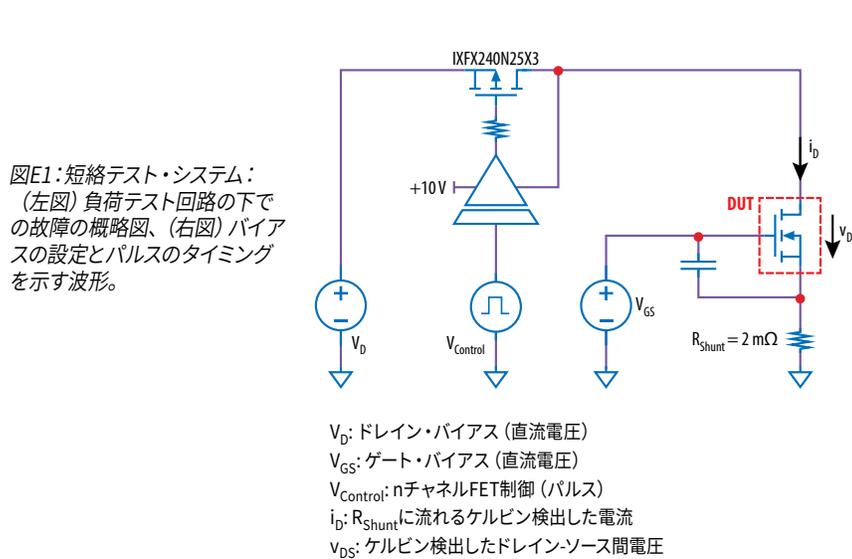
eGaN FETの利得帯域幅積が大きいので、パルス中のテスト回路の発振を避けるために特別な注意を払う必要がありました。特に、共通ソース・インダクタンスは、有害であることが分かったため、低インダクタンスの特別な電流検出抵抗を使う必要がありました。

さらに、DUTの近くに、ゲートと直列に取り付けられた小さなフェライト・ビーズは、発振を大幅に低減することが分かりました。



### 付録E:短絡テスト・システム

図E1に、短絡 (負荷時の故障) テスト・システムの回路図とタイミング信号を示します。ドレイン・バイアス ( $V_D$ ) とゲート・バイアス ( $V_{GS}$ ) は、テストの開始時に設定され、セトリングの時間が確保されます。ドレイン・パルスは、絶縁されたハイサイド・ゲート・ドライバによってトリガーされる4 mΩのnチャンネルFETによってDUTに供給されます。パルス中、ドレイン電流 ( $I_D$ ) は、小さな電流検出抵抗を介してモニターされます。DUTのドレイン電圧とソース電圧は、テスト回路の寄生抵抗の影響を取り除くためにケルビン検出されます。大電流パルス中に、公称 $V_{GS}$ を維持するために、ゲートからソースへのコンデンサがDUTの近くに取り付けられています。すべての信号は、オシロスコープで捕捉され、分析のために後処理されます。



## 参考文献

- [1] Yanping Ma, "EPC GaN transistor application readiness: phase one testing," EPC Corp., El Segundo, CA, USA, Reliability Report, Copyright 2019. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC\\_Phase\\_One\\_Rel\\_Report.pdf](https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_Phase_One_Rel_Report.pdf)
- [2] Yanping Ma, "EPC GaN transistor application readiness: phase two testing," EPC Corp., El Segundo, CA, USA, Reliability Report, Copyright 2019. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC\\_Phase\\_Two\\_Rel\\_Report.pdf](https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_Phase_Two_Rel_Report.pdf)
- [3] "EPC GaN transistor application readiness: phase three testing," EPC Corp., El Segundo, CA, USA, Reliability Report, Copyright 2019. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC\\_Phase\\_Three\\_Rel\\_Report.pdf](https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_Phase_Three_Rel_Report.pdf)
- [4] Yanping Ma, "EPC GaN transistor application readiness: phase four testing," EPC Corp., El Segundo, CA, USA, Reliability Report, Copyright 2019. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC\\_Phase\\_Four\\_Rel\\_Report.pdf](https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_Phase_Four_Rel_Report.pdf)
- [5] Yanping Ma, "EPC GaN transistor application readiness: phase five testing," EPC Corp., El Segundo, CA, USA, Reliability Report, Copyright 2019. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC\\_Phase\\_Five\\_Rel\\_Report.pdf](https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_Phase_Five_Rel_Report.pdf)
- [6] Rob Strittmatter, Chunhua Zhou, Yanping Ma, 「EPC GaNトランジスタ・アプリケーションの準備：フェーズ6テスト」、EPC Corp.、米国カリフォルニア州エルセグンド、信頼性レポート、Copyright 2019。[オンライン]。ウェブ：<https://epc-co.com/epc/jp/設計サポート/eGaNfETの信頼性/ReliabilityReportPhase6.aspx>
- [7] Chris Jakubiec, Rob Strittmatter, Chunhua Zhou, 「EPC GaNトランジスタ・アプリケーションの準備：フェーズ7テスト」、EPC Corp.、米国カリフォルニア州エルセグンド、信頼性レポート、Copyright 2019。[オンライン]。ウェブ：<https://epc-co.com/epc/jp/設計サポート/eGaNfETの信頼性/ReliabilityReportPhase7.aspx>
- [8] Chris Jakubiec, Rob Strittmatter, Chunhua Zhou, 「EPC GaNトランジスタ・アプリケーションの準備：フェーズ8テスト」、EPC Corp.、米国カリフォルニア州エルセグンド、信頼性レポート。[オンライン]。ウェブ：<https://epc-co.com/epc/jp/設計サポート/eGaNfETの信頼性/ReliabilityReportPhase8.aspx>
- [9] Chris Jakubiec, Rob Strittmatter, Chunhua Zhou, 「EPC GaNトランジスタ・アプリケーションの準備：フェーズ9テスト」、EPC Corp.、米国カリフォルニア州エルセグンド、信頼性レポート。[オンライン]。ウェブ：<https://epc-co.com/epc/jp/設計サポート/eGaNfETの信頼性/ReliabilityReportPhase9.aspx>
- [10] Alejandro Pozo, Shengke Zhang, Rob Strittmatter, 「EPC GaNトランジスタ・アプリケーションの準備：フェーズ10テスト」、EPC Corp.、米国カリフォルニア州エルセグンド、信頼性レポート。[オンライン]。ウェブ：<https://epc-co.com/epc/jp/設計サポート/eGaNfETの信頼性/ReliabilityReportPhase10.aspx>
- [11] Alejandro Pozo, Shengke Zhang, Rob Strittmatter, 「EPC GaNトランジスタ・アプリケーションの準備：フェーズ11テスト」、EPC Corp.、米国カリフォルニア州エルセグンド、信頼性レポート。[オンライン]。ウェブ：<https://epc-co.com/epc/jp/設計サポート/eGaNfETの信頼性/ReliabilityReportPhase11.aspx>
- [12] A. Lidow, M. de Rooij, J. Strydom, D. Reusch, J. Glaser, *GaN Transistors for Efficient Power Conversion*, 3rd ed., J. Wiley 2020.
- [13] *Handbook for Robustness Validation of Semiconductor Devices in Automotive Applications*, Third edition: May 2015, Editor: ZVEI Robustness Validation Working Group, Eds. Published by ZVEI – Zentralverband Elektrotechnik – und Elektronikindustrie e.V. [Online]. Available: [https://www.zvei.org/fileadmin/user\\_upload/Presse\\_und\\_Medien/Publikationen/2015/mai/Handbook\\_for\\_Robustness\\_Validation\\_of\\_Semiconductor\\_Devices\\_in\\_Automotive\\_Applications\\_\\_3rd\\_edition\\_/Robustness-Validation-Semiconductor-2015.pdf](https://www.zvei.org/fileadmin/user_upload/Presse_und_Medien/Publikationen/2015/mai/Handbook_for_Robustness_Validation_of_Semiconductor_Devices_in_Automotive_Applications__3rd_edition_/Robustness-Validation-Semiconductor-2015.pdf)
- [14] P. Spirito, G. Breglio, V. d'Alessandro, and N. Rinaldi, "Analytical model for thermal instability of low voltage power MOS and S.O.A. in pulse operation," 14<sup>th</sup> International Symposium on Power Semiconductor Devices & ICs; Santa Fe, NM; 4–7 June 2002; pp. 269–272.
- [15] Efficient Power Conversion Corporation, "EPC2212 – Enhancement-mode power transistor," EPC2212 datasheet. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/datasheets/epc2212\\_datasheet.pdf](https://epc-co.com/epc/Portals/0/epc/documents/datasheets/epc2212_datasheet.pdf)
- [16] "Real Statistics: Three-parameter Weibull Distribution," [Online]. Available: <https://www.real-statistics.com/other-key-distributions/weibull-distribution/three-parameter-weibull-distribution/>
- [17] *Dynamic On-Resistance Test Method Guidelines for GaN HEMT Based Power Conversion Devices*, Version 1.0, JEDEC Standard JEP173, 2019.
- [18] S. Mishra, "Fault current limiting and protection circuit for power electronics used in a Modular Converter," M.S. thesis, Univ. of Tennessee, 2008. [Online]. Available: [https://trace.tennessee.edu/utk\\_gradthes/468](https://trace.tennessee.edu/utk_gradthes/468)
- [19] J. Glaser, "An introduction to Lidar: A look at future developments," IEEE Power Electronics Magazine, March 2017
- [20] R. Strittmatter, "GaN reliability for automotive: testing beyond AEC-Q", IEEE APEC Conf., PSMA Industry Session, Anaheim, 2019.
- [21] Department of Defense Test Method Standard: Mechanical Tests – Die Shear Strength, Mil-Std-883e (Method 2019), May 3, 2018. [Online]. Available: <https://landandmaritimeapps.dla.mil/Downloads/MilSpec/Docs/MIL-STD-883/std883.pdf>
- [22] AEC-Q200 REV D: Stress Test Qualification for Passive Components (base document), Automotive Electronics Council, June 1, 2010, [Online]. Available: [www.aecouncil.com](http://www.aecouncil.com)
- [23] AEC-Q200-005 Rev A: Board Flex Test, Automotive Electronics Council," June 1, 2010, [Online]. Available: [www.aecouncil.com](http://www.aecouncil.com)
- [24] Fabio Bernardini, et al., "Spontaneous polarization and piezoelectric constants of III-V nitrides," Physical Review B Volume 56, Number 16, October 15, 1997
- [25] Solderability Tests for Component Leads, Terminations, Lugs, Terminals and Wires, EIA/IPC/JEDEC J-STD-002E, [Online]. Available: <https://www.ipc.org/TOC/J-STD-002E.pdf>
- [26] R. von Mises, "Mechanik der festen Körper im plastisch-deformablen Zustand". Nachrichten von der Gesellschaft der Wissenschaften zu Göttingen. Mathematisch-Physikalische Klasse. 1913 (1): 582–592

## 参考文献(続き) :

- [27] Edward A. Jones, Alejandro Pozo, "Hard-Switching Dynamic  $R_{DS(on)}$  Characterization of a GaN FET with an Active GaN-Based Clamping Circuit", 2019 IEEE Applied Power Electronics Conference and Exposition (APEC).

## 付録Aの参考文献

- [A1] Sreenidhi Turuvekere, et al., "Evidence of Fowler–Nordheim Tunneling in Gate Leakage Current of AlGaIn/GaN HEMTs at Room Temperature," IEEE Transactions on Electron Devices, Volume: 61, Issue: 12, Dec. 2014.
- [A2] T. E. Cook Jr., C. C. Fulton, W. J. Mecouch, and R. F. Davis, "Band offset measurements of the  $Si_3N_4$ /GaN (0001) interface," Journal of Applied Physics 94, 3949, 2003.
- [A3] Basanta Roul et al., "Binary group III-nitride based heterostructures: band offsets and transport properties," J. Phys. D: Appl. Phys. 48 423001, 2015.
- [A4] Arnost Neugroschel and Lingquan Wang, "Trapped charge induced gate oxide breakdown," Journal of Applied Physics 96, 3388, 2004.
- [A5] Cao et al., "Experimental characterization of impact ionization coefficients for electrons and holes in GaN grown on bulk GaN substrates," Applied Physics Letters, 112, 262103, 2018.
- [A6] Francesco Bertazzi, Michele Moresco, and Enrico Bellotti, "Theory of high field carrier transport and impact ionization in wurtzite GaN: Part I: A full band Monte Carlo model," Journal of Applied Physics 106, 063718, 2009.
- [A7] Xujiao (Suzey) Gao, et al., "Semiclassical Poisson and Self Consistent Poisson-Schrodinger Solvers in QCAD," [Online]. Available: [https://cfwebprod.sandia.gov/cfdocs/CompResearch/docs/Gao\\_Banff\\_Talk.pdf](https://cfwebprod.sandia.gov/cfdocs/CompResearch/docs/Gao_Banff_Talk.pdf)
- [A8] Dong Ji, Burcu Ercan, and Srabanti Chowdhury, "Experimental determination of impact ionization coefficients of electrons and holes in gallium nitride using homojunction structures", Appl. Phys. Lett. 115, 073503 (2019)
- [A9] A.M. Ozbek, "Measurement of Impact Ionization Coefficients in GaN," Ph.D. thesis, North Carolina State University, 2012.
- [A10] Chynoweth, A. G. and McKay, K. G., "Threshold Energy for Electron-Hole Pair Production by Electrons in Silicon," Phys. Rev., 108:29, 1957.
- [A11] T. L. W. Ooi, et al., "Mean multiplication gain and excess noise factor of GaN and Al<sub>0.45</sub>Ga<sub>0.55</sub>N avalanche photodiodes," Eur. Phys. J. Appl. Phys. 92, 10301, 2020.
- [A12] I. H. Oguzman, et al., "Theory of hole initiated impact ionization in bulk zinblende and wurtzite GaN," J. Appl. Phys. 81 (12), June 15, 1997.
- [A13] P.L. Cheang, E.K. Wong, L.L. Teo, "Avalanche characteristics in thin GaN avalanche photodiodes," Jpn. J. Appl. Phys. 58, 082001, 2019.
- [A14] S.M. Sze, "Semiconductor devices, physics and technology," Wiley, 2002.

## 付録Bの参考文献

- [B1] U. V. Bhapkar and M.S. Shur, "Monte Carlo calculation of velocity-field characteristics of wurtzite GaN," Journal of Applied Physics, 82, 1649, 1997.
- [B2] N. Braga, et al., "Simulation of hot electron and quantum effects in AlGaIn/GaN heterostructure field effect transistors," Journal of Applied Physics Volume 95, Number 11, June 1, 2004.
- [B3] S. Chen and G. Wang, "High-field properties of carrier transport in bulk wurtzite GaN: A Monte Carlo perspective," JOURNAL OF APPLIED PHYSICS 103, 023703 2008.
- [B4] F. Bertazzi, et al., "Theory of high field carrier transport and impact ionization in wurtzite GaN. Part I: A full band Monte Carlo model," Journal of Applied Physics 106, 063718, 2009.
- [B5] M. Moresco, et al., "Theory of high field carrier transport and impact ionization in wurtzite GaN. Part II: Application to avalanche photodetectors," Journal of Applied Physics 106, 063719, 2009.
- [B6] T Brazzini, et al., "Mechanism of hot electron electroluminescence in GaN-based transistors," J. Phys. D: Appl. Phys. 49, 435101, 2016.
- [B7] Matteo Meneghini, et al., "Time- and Field-Dependent Trapping in GaN-Based Enhancement-Mode Transistors With p-Gate," IEEE Electron Device Letters, vol. 33, no. 3, March 2012.
- [B8] S. Tam et al., "Lucky-electron model of channel hot-electron injection in MOSFET's," IEEE Transactions on Electron Devices, vol. ED-31, no. 9, September 1984.
- [B9] J. Fang, et al., "Electron transport properties of Al<sub>x</sub>Ga<sub>1-x</sub>N/GaN transistors based on first-principles calculations and Boltzmann-equation Monte Carlo simulations," Phys. Rev. Applied 11, 044045, April 15, 2019.
- [B10] T Ueda, "GaN power devices: current status and future challenges," Japanese Journal of Applied Physics 58, SC0804, 2019.